

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-313090

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

G11C 16/04
 G11C 16/02
 G11C 16/06
 H01L 21/8247
 H01L 27/115
 H01L 29/788
 H01L 29/792

(21)Application number : 2001-115678

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.04.2001

(72)Inventor : KAMEI TERUHIKO

(54) NON-VOLATILE SEMICONDUCTOR MEMORY

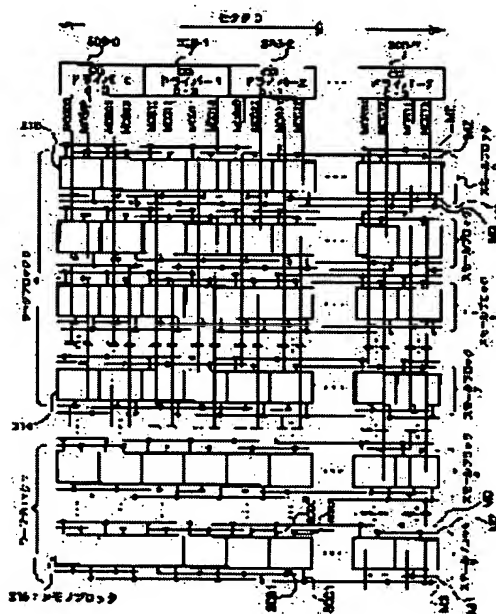
(57)Abstract:

PROBLEM TO BE SOLVED: To provide a non-volatile semiconductor memory in which high integration, low voltage driving and high speed driving can be performed without requiring a selection gate region while preventing disturbance.

SOLUTION: A non-volatile semiconductor memory has a memory cell array region in which a plurality of memory cells 100 having first and second MONO memory cells 108A, 108B controlled by a word gate and a control gate are arranged in the first and second directions A, B. The memory cell array region is divided in the second direction B, and has a plurality of sector regions 0, 1,... of which the longitudinal direction is the first direction A.

The sector region 0 is divided into eight large blocks 0-7.

The memory cell array region has eight control gates(CG) drivers 300-0 to 300-7 as a control gate driving section for the sector region 0. Each of this CG drivers 300-0 to 300-7 sets the potential of first and second control gates of the memory cell arranged at one block being different each other in the large blocks 0-7.



THIS PAGE BLANK (USPTO)

LEGAL STATUS

[Date of request for examination] 21.05.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The memory cell array field which comes to arrange two or more memory cells which have the one WORD gate and the 1st, the 1st which are controlled by the 2nd control gate, and 2nd nonvolatile memory device, respectively in the direction of the 1st and the 2nd which carries out phase intersection, The control gate mechanical component which drives each above 1st of two or more aforementioned memory cells in the aforementioned memory cell array field, and the 2nd control gate, It **** and the aforementioned memory cell array field has two or more sector fields divided in the 2nd direction of the above. each of two or more aforementioned sector fields It has two or more blocks divided into plurality in the 1st direction of the above. the aforementioned control gate mechanical component It has two or more control gate drivers, respectively about one each of two or more of the aforementioned sector fields. each of two or more aforementioned control drivers The nonvolatile semiconductor memory characterized by setting up the potential of the above 1st of all the memory cells arranged at one or more mutually different block in two or more aforementioned blocks, and the 2nd control gate.

[Claim 2] Two or more RAJI blocks with which two or more aforementioned blocks were divided into plurality in the 1st direction of the above in the claim 1, It has two or more small blocks by which the fragmentation rate was further carried out in the 1st direction of the above in each of two or more aforementioned RAJI blocks. each of two or more aforementioned control drivers The nonvolatile semiconductor memory characterized by setting up the potential of the above 1st of all the memory cells that have been arranged mutually different one of two or more aforementioned RAJI blocks, and have been arranged in two or more aforementioned small blocks, and the 2nd control gate.

[Claim 3] Two or more RAJI blocks with which two or more aforementioned blocks were divided into plurality in the 1st direction of the above in the claim 1, It has two or more small blocks by which the fragmentation rate was further carried out in the 1st direction of the above in each of two or more aforementioned RAJI blocks. each of two or more aforementioned control drivers The nonvolatile semiconductor memory characterized by setting up the potential of the above 1st of all the memory cells arranged at one aforementioned small block which is mutually different about each of two or more aforementioned RAJI blocks, and the 2nd control gate.

[Claim 4] a claim 1 or either of 3 -- setting -- two or more aforementioned control gate drivers -- the time of data elimination in one sector field -- this -- the nonvolatile semiconductor memory characterized by supplying the 1st high potential for elimination to all above 1st in one sector field, and the 2nd control gate, bundling up in each of two or more aforementioned sector fields, and eliminating data

[Claim 5] It is the nonvolatile semiconductor memory which two or more control gate lines formed along the 1st direction of the above are formed in each of two or more aforementioned sector fields in a claim 4, and is characterized by carrying out the direct file of the aforementioned control gate mechanical component to each of two or more aforementioned control gate lines arranged at each of two or more aforementioned sector fields, without going via a gate circuit.

THIS PAGE BLANK (USPTO)

[Claim 6] It is the nonvolatile semiconductor memory characterized by including two or more subcontractor trawl gate lines which connect two or more main control gate lines by which the direct file of two or more aforementioned control gate lines was carried out to the aforementioned control gate mechanical component in the claim 5, two or more aforementioned main control gate lines, and the above 1st of two or more aforementioned memory cells and the 2nd control gate.

[Claim 7] In a claim 6, on the main control gate line of the even number prepared in each of two or more aforementioned sector fields Two or more subcontractor trawl gates where common connection of the control gate of each above 2nd of the aforementioned two or more memory cells of an even number train and the control gate of each above 1st of the aforementioned two or more memory cells of an odd number train was made are connected. On the main control gate line of the odd number prepared in each of two or more aforementioned sector fields The nonvolatile semiconductor memory characterized by connecting two or more subcontractor trawl gate lines by which common connection of the control gate of each above 2nd of the aforementioned two or more memory cells of an odd number train and the control gate of each above 1st of the aforementioned two or more memory cells of an even number train was made.

[Claim 8] In a claim 7, to each of two or more aforementioned control gate drivers formed corresponding to each of two or more aforementioned sector fields k main control gate lines are connected. to each of two or more aforementioned sector fields Memory block corresponding to each I/O bit which consists of a memory cell group to which k subcontractor trawl gate lines are connected More than one are arranged in the 2nd direction of the above, and two or more wiring prolonged along the 2nd direction of the above is formed. Each of k aforementioned main control gate lines, The nonvolatile semiconductor memory characterized by connecting it and each of k aforementioned corresponding subcontractor trawl gate lines through each of two or more aforementioned wiring, respectively.

[Claim 9] The nonvolatile semiconductor memory which sets to 4 the number of memory cells which met in the 2nd direction of the above of the aforementioned memory block in a claim 8, and is characterized by setting it as $k=4$.

[Claim 10] The nonvolatile semiconductor memory characterized by ** and also being prepared [two or more bit lines formed in each of two or more aforementioned sector fields along the 1st direction of the above, the bit line mechanical component which drives two or more aforementioned bit lines at least at the time of the program of data, and read-out, and] in a claim 1 or either of 9.

[Claim 11] a claim 10 -- setting -- the time of data elimination for every sector field -- this -- the nonvolatile semiconductor memory characterized by preparing further the bit line mechanical component for elimination which supplies the 2nd high potential for elimination to two or more aforementioned bit lines formed in one sector field

[Claim 12] It is the nonvolatile semiconductor memory characterized by forming two or more aforementioned bit lines in the impurity layer in claims 10 or 11.

[Claim 13] It is the nonvolatile semiconductor memory in which the well mechanical component for elimination which is formed in one well field to which each of two or more aforementioned sector fields was separated with other sectors in the claim 12, and supplies the 2nd high potential for elimination to the aforementioned well field is prepared.

[Claim 14] The nonvolatile semiconductor memory characterized by preparing two or more main bit lines connected to each of two or more aforementioned bit lines formed in the aforementioned impurity layer in claims 12 or 13, respectively, and not preparing the gate circuit in the middle of each path from two or more aforementioned main bit lines, respectively to two or more aforementioned bit li

THIS PAGE BLANK (USPTO)

NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the nonvolatile semiconductor memory which consists of memory cells equipped with two nonvolatile memory devices controlled by the one WORD gate and the two control gates.

[0002]

Background of the Invention] As a nonvolatile semiconductor device, the gate insulating layer between a channel and the gate consists of a layered product of a silicon-oxide film, a silicon nitride film, and a silicon-oxide film, and the MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor or -substrate) type with which the trap of the charge is carried out to a silicon nitride film is known.

[0003] This MONOS type nonvolatile semiconductor memory is indicated by reference (Y. Hayashi, et al, 2000 Symposium on VLSI Technology Digest of Technical Papers p.122-p.123). The twin MONOS flash plate memory cell which equipped this reference with two nonvolatile memory devices (MONOS memory cell) controlled by the one WORD gate and the two control gates is indicated. That is, one flash plate memory cell has two trap sites of a charge.

[0004] Two or more two or more twin MONOS flash plate memory cells which have such structure are made to arrange in a line writing direction and the direction of a train, respectively, and a memory cell array field is constituted.

[0005]

[Problem(s) to be Solved by the Invention] In order to drive this twin MONOS flash plate memory cell, two a bit line, one word line, and two control gate lines are required. However, even if it is the different control gate, when facing driving many memory cells, and setting it as the same potential, common connection of these lines can be made.

[0006] Here, there are elimination of data, a program, and read-out in operation of a flash memory. Although a program and read-out of data are usually simultaneously carried out in a selection cell (8 bits or 16 bits), elimination of data can be further carried out simultaneously in the latus range.

[0007] Here, in this kind of non-volatile memory, dace SUTABU of data has been a technical problem. Dace SUSUTABU of data means that high potential is impressed also to the cell in a non-choosing sector field, it is programmed or eliminated by the state being repeated by the degree which is a program, and dace SUTABU of the data of a non-choosing cell is carried out by the wiring shared, when impressing high potential to the control gate line and bit line of a selection cell and programming or eliminating it.

[0008] In order to prevent such a situation, a selector-gate circuit is prepared, high potential is impressed only to the cell of a selection sector, and it can avoid impressing high potential to the cell of a non-choosing sector.

[0009] However, if it does in this way, for a selector-gate circuit, area will be occupied and high integration of a memory cell will be barred. Furthermore, if a voltage drop arises in a selector gate, in order to supply high potential to the cell of a selection sector at the time of a program or elimination, it

THIS PAGE BLANK (USPTO)

is necessary to add and supply a part for a voltage drop. As a result, a low-battery drive is barred and it becomes incongruent at the device asked for low-power-ization like especially a pocket device.

[0010] Furthermore, although the demand which leads data at high speed from a pocket device etc. increased from now on, there was room of an improvement also at the point of a high-speed drive.

[0011] Then, this invention is to offer the nonvolatile semiconductor memory which can be integrated highly, without moreover requiring a selector-gate circuit, avoiding that data SUTABU of the data is carried out in the cell of a non-choosing sector at the time of the program in a selection cell, or elimination.

[0012] Other purposes of this invention are to avoid a voltage drop by making a selector-gate circuit unnecessary, and offer the nonvolatile semiconductor device which can reduce power consumption.

[0013] The purpose of further others of this invention is to offer the nonvolatile semiconductor memory which reduced the load-carrying capacity of the control gate line by which high potential is supplied, and enabled the high-speed drive.

[0014]

[Means for Solving the Problem] The nonvolatile semiconductor memory concerning one mode of this invention has the memory cell array field which comes to arrange two or more memory cells which have two nonvolatile memory devices controlled by the one WORD gate and the two control gates, respectively in the direction of the 1st and the 2nd which carries out phase intersection. A nonvolatile semiconductor memory has further the control gate mechanical component which drives each 1st [the] of two or more memory cells in a memory cell array field, and the 2nd control gate.

[0015] A memory cell array field has two or more sector fields divided in the 2nd direction. Each of two or more of these sector fields has two or more memory cells arranged by two or more trains of each which met in the 1st direction, respectively.

[0016] Each of two or more sector fields has two or more blocks divided into plurality in the 1st direction. A control gate mechanical component has two or more control gate drivers about one each of two or more of the sector fields, respectively. Each of two or more of these control drivers sets up the potential of the above 1st of all the memory cells arranged at one or more mutually different block in two or more blocks, and the 2nd control gate.

[0017] In case it programs about the selection cell arranged at one certain one certain sector field block according to one mode of this invention, only control gate potential of the memory cell (a selection cell and non-choosing cell) arranged at the block chosen in the sector field is made with program potential with a corresponding control gate driver. In other blocks in a selection sector, and a non-choosing sector field, by the control gate driver corresponding to it, since it can be set as potentials other than program potential, data SUTABU of the data is not carried out in the non-choosing cell in a non-choosing sector field. And since this can be attained without using a selector-gate circuit, it can integrate a memory cell highly. Moreover, since the voltage drop in a selector-gate circuit is not produced, either, a low-battery drive is attained, especially it can use effectively as memory of a pocket device. Furthermore, since only the memory cell within one block is connected to one control gate driver, as compared with what connects all the memory cells in one sector field, the load-carrying capacity (gate capacitance) connected to a control gate line is reduced. Therefore, the high-speed drive of memory is also attained.

[0018] It can have two or more small blocks by which the fragmentation rate was further carried out in the 1st direction as two or more blocks in each of two or more RAJI blocks divided into plurality in the 1st direction, and a RAJI block of the plurality.

[0019] In this case, each of two or more control drivers can set up the potential of the 1st of all the memory cells that have been arranged mutually different one of two or more RAJI blocks, and have been arranged in two or more small blocks, and the 2nd control gate.

[0020] Or each of two or more control drivers can set up the potential of the above 1st of all the memory cells arranged at one small block which is mutually different about each of two or more RAJI blocks, and the 2nd control gate.

[0021] in one mode of this invention, one of two or more of the control gate drivers chooses at the time of data elimination -- having -- this -- the 1st high potential for elimination can be supplied to all 1st

THIS PAGE BLANK (USPTO)

[the] in one sector field, and the 2nd control gate In this way, it can bundle up in each of two or more sector fields, and data elimination can be carried out.

[0022] Two or more control gate lines formed in each of further two or more sector fields along the 1st direction in one mode of this invention are formed, and, as for a control gate mechanical component, it is desirable that the direct file is carried out to each of two or more control gate lines arranged at each of two or more sector fields, without going via a gate circuit.

[0023] Thus, area is increased, and even if it eliminates the gate circuit which produces a voltage drop, high potential is not impressed to the non-choosing cell in a non-choosing sector field.

[0024] Here, two or more of these control gate lines can contain two or more subcontractor trawl gate lines which connect two or more main control gate lines by which the direct file was carried out to the control gate mechanical component, two or more main control gate lines, and the above 1st of two or more memory cells and the 2nd control gate. These can be formed with the metal wiring with which layers differ.

[0025] At this time, two or more subcontractor trawl gates where common connection of each 2nd control gate of two or more memory cells of an even number train and each 1st control gate of two or more memory cells of an odd number train was made are connectable with the main control gate line of the even number prepared in each of two or more sector fields. On the other hand, two or more subcontractor trawl gate lines by which common connection of each 2nd control gate of two or more memory cells of an odd number train and each 1st control gate of two or more memory cells of an even number train was made are connectable with the main control gate line of the odd number prepared in each of two or more sector fields.

[0026] Moreover, when k main control gate lines are connected to each of two or more control gate drivers formed corresponding to each of two or more sector fields, two or more memory block corresponding to each I/O bit which becomes each of two or more sector fields from the memory cell group to which k subcontractor trawl gate lines are connected is arranged in the 2nd direction. At this time, it is desirable to form two or more wiring prolonged along the 2nd direction. If it carries out like this, each of k main control gate lines, and it and each of k corresponding subcontractor trawl gate lines are connectable through one of the wiring of two or more.

[0027] As a desirable gestalt, the number of memory cells which met in the 2nd direction of memory block can be especially set to 4. In this case, it is set as $k=4$ and four main control gate lines are connected to a control gate driver. In order to carry out 4 cell ** of the memory block in the 2nd direction, it becomes a total of 8 bits, it is sharing one subcontractor trawl gate line to 2 bits, and four subcontractor trawl gate lines are arranged.

[0028] In one mode of this invention, it can have further two or more bit lines formed in each of two or more sector fields along the 1st direction, and the bit line mechanical component which drives the bit line of at least plurality [time / of the program of data, and read-out].

[0029] Although you may make it a bit line mechanical component drive two or more bit lines at the time of data elimination, you may prepare the bit line mechanical component for elimination further. this bit line mechanical component for elimination -- the time of data elimination for every sector field -- this -- the 2nd high potential for elimination is supplied to two or more bit lines formed in one sector field

[0030] Each of two or more sector fields can be formed in other sectors and one separated well field. In this case, the well mechanical component for elimination which supplies the 2nd high potential for elimination to the well field can be prepared.

[0031] moreover, two or more bit lines are formed in an impurity layer -- a thing hook can be carried out and each of two or more main bit lines may be connected to each of two or more of these bit lines Metal wiring, then the reduction in resistance of a bit line are possible in a main bit line, and electric power can be supplied to each of that discontinuous bit line through a main bit line also as discontinuous, without making an impurity layer continue in the 1st direction.

[0032] At this time, it is desirable that a gate circuit does not prepare in the middle of the path from two or more main bit lines to two or more aforementioned bit lines. A gate circuit is because the wiring capacity of a bit line is raised, and also it becomes the hindrance of a low-battery drive since a voltage

THIS PAGE BLANK (USPTO)

drop arises in a gate circuit.

[0033] In a memory cell array field, two or more WORD by which common connection was made, respectively can be prepared in each WORD gate of two or more aforementioned memory cells arranged along the 2nd direction along the 2nd direction. In this way, two or more word lines are shared in two or more sector fields. In addition, the word line mechanical component which drives two or more word lines at the end of the 2nd direction of a memory cell array field can be prepared. In order to large-capacity-ize storage capacity of a nonvolatile semiconductor memory further, you may arrange two or more memory cell array fields on both sides which sandwiched the word line driver in the 2nd direction, respectively.

[0034] Although each of the 1st and 2nd nonvolatile memory device can have the ONO film which consists of an oxide film (O), a nitride (N), and an oxide film (O) as a trap site of a charge, not only this but other structures can be used for it.

[0035]

[Embodiments of the Invention] Hereafter, the gestalt of operation of this invention is explained with reference to a drawing.

[0036] (Memory cell structure) Drawing 1 shows one cross section of a nonvolatile semiconductor memory, and drawing 2 is the representative circuit schematic. In drawing 1, one memory cell 100 has the WORD gate 104 formed in the polycide through the gate oxide film on the P type well 102, the 1st and 2nd control gate 106A and 106B, and the 1st and the 2nd memory device (MONOS memory cell) 108A and 108B.

[0037] The 1st and 2nd control gate 106A and 106B is formed in the both-sides wall of the WORD gate 104, and is electrically insulated in the WORD gate 104, respectively.

[0038] Each of the 1st and the 2nd memory device 108A and 108B consists of carrying out the laminating of an oxide film (O), a nitride (N), and the oxide film (O) between one and the P type wells 102 of the 1st formed with contest polysilicon equivalent to M (metal) of MONOS, and 2nd control gate 106A and 106B. In addition, the 1st and 2nd control gate 106A and 106B can consist of electric conduction material, such as silicide.

[0039] Thus, one memory cell 100 has the 1st and 2nd MONOS memory cell 108A and 108B equipped with the split gate (the 1st, 2nd control gate 106A and 106B), and is sharing the one WORD gate 104 by the 1st and 2nd MONOS memory cell 108A and 108B.

[0040] The this 1st [the] and 2nd MONOS memory cell 108A and 108B functions as a trap site of a charge, respectively. Each of the 1st and 2nd MONOS memory cell 108A and 108B can carry out the trap of the charge by the ONO film 109. As shown in drawing 1 and drawing 2, common connection of two or more WORD gates 104 which set the interval to the line writing direction (drawing 1 and the 2nd direction B of drawing 2), and were arranged is made at one word line WL formed by the polycide etc.

[0041] Moreover, the control gates 106A and 106B shown in drawing 1 are prolonged along the direction of a train (the 1st direction A perpendicular to the space of drawing 1), and are shared by two or more memory cells 100 arranged in the direction of a train. Therefore, Signs 106A and 106B are also called a control gate line.

[0042] Here, the subcontractor trawl gate line SCG [i+1] formed in the layer [1st] upper metal layer rather than the WORD gate, the control gate, and a word line is connected to control gate line 106B of the memory cell 100 of eye [i] watch [i], and control gate line 106A of the memory cell 100 of the [i+1st] watch [i+1].

[0043] The impurity layer 110 [i+1] of the 1st [which is shared by MONOS memory cell 108B of the memory cell 100 of eye [i] watch [i] and MONOS memory cell 108A of the memory cell 100 of the [i+1st] watch [i+1] / [the i+1st]] watch is formed in the P type well 102.

[0044] It is n type impurity layer formed in a P type well, and it is prolonged along the direction of a train (the 1st direction perpendicular to the space of drawing 1 of direction A), and these impurity layers 110 [i], [i+1], and [i+2] function as a bit line shared by two or more memory cells 100 arranged in the direction of a train. Therefore, a sign 110 [i], [i+1], [i+2], etc. are called a bit line BL [i], [i+1], and

THIS PAGE BLANK (USPTO)

[i+2].

[0045] (Data read-out from a memory cell) A ** type-izing [one memory cell 100 / what / connected in series the transistor T2 driven by the WORD gate 104, and the transistors T1 and T3 driven by the 1st and 2nd control gate 106A and 106B, respectively] as shown in drawing 2 .

[0046] It faces explaining operation of a memory cell 100, and as shown in drawing 3 , a setup of the potential of every place of two adjoining memory cells 100 [i] and [i+1] is explained first. Drawing 3 is drawing explaining data read-out from MONOS memory cell 108B on the right-hand side of the WORD gate 104 of a memory cell 100 [i]. In addition, in the following explanation of operation, the threshold voltage of transistors T1-T3 is assumed to be less than [2.5V].

[0047] In this case, 2.5V are impressed to each WORD gate 104 in the same line as a memory cell 100 [i], and each transistor T2 is made to turn on. Moreover, override voltage (for example, 5V) is impressed to control gate 106A on the left-hand side of a memory cell 100 [i] through the subcontractor trawl gate line SCG [i], and the transistor T1 which corresponds at MONOS memory cell 108A is made to turn on. The read-out potential Vread is impressed as potential vectorcardiogram of control gate 106B on the right-hand side of a memory cell 100 [i].

[0048] At this time, operation of the transistor T3 which is equivalent to MONOS memory cell 108B by whether the charge was accumulated at MONOS memory cell 108B on the right-hand side of the WORD gate 104 is divided as follows.

[0049] Drawing 4 shows the relation with the current Ids which flows between the source-drains of the transistor T3 equivalent to the applied voltage to control gate 106B on the right-hand side of a memory cell 100 [i], and MONOS memory cell 108B controlled by it.

[0050] If the control gate potential vectorcardiogram exceeds the low threshold voltage Vlow when the charge is not accumulated at MONOS memory cell 108B as shown in drawing 4 , Current Ids will begin to flow. On the other hand, when the charge is accumulated at MONOS memory cell 108B, unless the control gate potential vectorcardiogram exceeds the high threshold voltage Vhigh, Current Ids does not begin to flow.

[0051] Here, the voltage Vread impressed to control gate 106B at the time of data read-out is set as the simultaneously middle voltage (for example, 2.5V) of two threshold voltage Vlow and Vhigh.

[0052] Therefore, when the charge is not accumulated at MONOS memory cell 108B, Current Ids flows, and when the charge is accumulated at MONOS memory cell 108B, Current Ids will not flow.

[0053] Here, at the time of data read-out, the potential VD [i] of a bit line BL [i] (impurity layer 110 [i]) is set as 0V, and the potential VD [i+1] of a bit line BL [i+1] (impurity layer 110 [i+1]) is set as 1.5V, respectively. Since Current Ids will flow when the charge is not accumulated at MONOS memory cell 108B if it carries out like this, through the transistors T1 and T2 of an ON state, potential VD [i] changes with 0V ->1.5V, and potential VD [i+1] changes with 1.5V ->0V. On the other hand, since Current Ids does not flow when the charge is accumulated at MONOS memory cell 108B, even if transistors T1 and T2 are ON states, in potential VD [i], potential VD [i+1] does not change with 1.5V with 0V. Therefore, data read-out from MONOS memory cell 108B of a memory cell 100 [i] becomes possible by detecting the potential of the bit line BL of a couple [i], and [i+1].

[0054] In addition, although transistors T1 and T2 also turn on the memory cell 100 [i+1], control gate potential vectorcardiogram of a transistor T3 is set to 0V, from the both sides of two threshold voltage Vlow and Vhigh of drawing 3 , potential vectorcardiogram is a low and source-drain current does not flow by the memory cell 100 [i+1]. Therefore, the data accumulation situation in a memory cell 100 [i+1] does not have a bad influence from a memory cell 100 [i] on data read-out.

[0055] What is necessary is just to set up the potential of every place of a memory cell 100 [i-1] and [i] like the above, in order to read data from MONOS memory cell 108A on the left-hand side of a memory cell 100 [i].

[0056] (Programming of a memory cell) Drawing 5 is drawing explaining data programming of MONOS memory cell 108B on the right-hand side of WORD GEDO 104 of a memory cell 100 [i]. In addition, data elimination operation mentioned later is carried out before this data programming operation.

THIS PAGE BLANK (USPTO)

[0057] In drawing 5, as well as drawing 3, potential of the subcontractor trawl gate line SCG [i] is made into override potential (for example, 5V), and potential of the subcontractor trawl gate line SCG [i+2] is set to 0V. However, the potential of each WORD gate 104 is set as about 0.77-1.0V by the word line WL. Moreover, the potential of control gate 108B on the right-hand side of a memory cell 100 [i+1] is set as the write-in potential (for example, 5-6V) V_{write} shown in drawing 4 through the subcontractor trawl gate line SCG [i+1], and the potential VD [i+1] of the impurity layer 110 of the [i+1st] watch [i+1] (bit line BL [i+1]) is set as 4.5-5V.

[0058] If it carries out like this, while the transistors T1 and T2 of a memory cell 100 [i] will turn on, respectively and Current I_{ds} will flow towards the impurity layer 110 [i], the trap of the channel hot electron (CHE) is carried out to the ONO film 109 of MONOS memory cell 108B. In this way, programming operation of MONOS memory cell 108B is carried out, and "0" of data or "1" is written in.

[0059] (Data elimination of a memory cell) Drawing 6 is drawing explaining data elimination of two memory cells 100 [i] and [i+1] connected to the word line WL.

[0060] In drawing 6, the potential of each WORD gate 104 is set as 1.8V by the word line WL, and the potential of the control gates 106A and 106B is set as about (1st high potential for elimination) -5~-6V by the subcontractor trawl gate line SCG [i], [i+1], and [i+2]. Furthermore, each potential of the impurity layer (bit line) [i] 110, [i+1], and [i+2] is set as 3-5V (2nd high potential for elimination). [equal to P type well potential]

[0061] If it carries out like this, the electron by which the trap was carried out to the ONO film 109 of each MONOS memory cells 108A and 108B will be extracted by the tunnel effect, and will be eliminated by the electric field formed with the 1st high potential for elimination impressed to the metal (M), and the 2nd high potential for elimination impressed to silicon (S). Thereby, data elimination is attained simultaneous at two or more memory cells. In addition, a hot hole may be formed by the band-band tunneling of the front face of the impurity layer which serves as a bit line as elimination operation unlike an above-mentioned thing, and the electron currently stored may be eliminated.

[0062] (The whole nonvolatile semiconductor-memory composition) The whole nonvolatile semiconductor-memory composition constituted using the above-mentioned memory cell 100 is explained with reference to drawing 7 (A) - drawing 7 (E).

[0063] Drawing 7 (A) is the flat-surface layout pattern of the nonvolatile semiconductor memory of one chip, and the memory cell array fields 200A and 200B of the right and left which sandwiched the word line mechanical component 201 are divided into 32 sector fields 210, respectively. as the nonvolatile semiconductor memory of one chip -- the 0- it has the 63rd sector field 210 32 sector fields 210 are what divided the memory cell array fields 200A and 200B on either side in the direction B of the 2nd (line writing direction), respectively, as shown in drawing 7 (A), and each sector field 210 has the longwise configuration which makes a longitudinal direction the direction A of the 1st (the direction of a train). The smallest unit of data elimination is the sector field 210, and package elimination of the stored data in the sector field 210 is carried out.

[0064] Each of the memory array fields 200A and 200B on either side has 4K word lines WL and 2K bit lines BL. With the gestalt of this operation here, since two MONOS memory cells 108A and 108B are connected to one bit line BL, 2K bit lines BL mean the storage capacity of 4Kbit(s). Since the nonvolatile semiconductor memory of drawing 7 (A) has the memory array fields 200A and 200B on either side, it has the storage capacity defined by $x(2K \text{ bit lines BL}) \times 2 \times 2$ as the whole memory (4K word lines WL). The storage capacity of each sector field 210 is 1/64 of the storage capacity of the whole memory, and has the storage capacity defined by $x(4K \text{ word lines WL}) (64 \text{ bit lines BL}) \times 2$.

[0065] Drawing 7 (B) shows the detail of one sector field 210 of a nonvolatile semiconductor memory shown in drawing 7 (A). As shown in drawing 7 (B), each sector field 210 is divided in the 2nd direction, and has 16 memory block 214 I/O0 - for I/O15 (memory block corresponding to the I/O bit) for 16-bit data possible [read/write]. Each memory block 214 has the word line WL of 4k (4096) book, as shown in drawing 7 (B).

[0066] As shown in drawing 7 (C), one memory block 214 shown in drawing 7 (B) is divided into eight

THIS PAGE BLANK (USPTO)

RAJI blocks 212 in the direction A of the 1st. This the RAJI block 212 of each is divided into eight small blocks 215 in the direction A of the 1st, as shown in drawing 7 (D). Each small block 215 has 64 word lines WL, as shown in drawing 7 (E).

[0067] therefore, the total (the object for redundant is also included) of the word line WL allotted to one RAJI block 212 -- 64x8 -- small -- it becomes [block =512] For this reason, the total of the word line WL allotted to one sector field 210 becomes [512(book) x8(RAJIBURROKU) =4096].

[0068] (Detail of a sector field) Drawing 8 shows the detail of the sector field 0 shown in drawing 7 (A). The small memory block 216 shown in drawing 8 arranges four memory cells 100 in the direction of a train at 64 pieces and a line writing direction, for example, as shown in drawing 9. Four subcontractor trawl gate lines SCG0-SCG3 which are the metal wiring layers of the 1st layer, four bit lines BL0-BL3 which are input output lines of data, and 64 word lines WL are connected to one small memory block 216.

[0069] Here, common connection of each 2nd control gate 106B of two or more memory cells of an even number train (the 0th train or the 2nd train) and each 1st control gate 106A of two or more memory cells of an odd number train (the 1st train or the 3rd train) is made at the even control gate lines SCG0 and SCG2. Similarly, common connection of each 2nd control gate 106B of two or more memory cells of an odd number train (the 1st train or the 3rd train) and each 1st control gate 106A of two or more memory cells of an even number train (the 2nd train or the 4th train) is made at the odd subcontractor trawl gate lines SCG1 and SCG3.

[0070] As shown in drawing 8, in order that the small memory block 216 may be arranged in the 64 directions of a train and may perform 16-bit I/O, 16 small memory block 216 corresponding to I/O0 - I/O15 is arranged by the line writing direction.

[0071] In each small memory block 216, common connection of the control gate line SCG0 is made at the 2nd-layer metal wiring M0 prolonged in a line writing direction. Similarly, 16 subcontractor trawl gate lines SCG2 are carried out at the metal wiring M2, and common connection of the 16 subcontractor trawl gate lines SCG3 is made for 16 subcontractor trawl gate lines SCG1 at the metal wiring M3 at the metal wiring M1, respectively.

[0072] Eight CG drivers 300-0 to 300-7 which are the control gate mechanical components of this sector field 0 are formed. Four main control gate lines MCG00-MCG03 prolonged in the direction of a train from the CG driver 300-0 are formed, and these are formed by the 3rd-layer metal wiring. Similarly, from the CG driver 301-0, four main control gate lines MCG70-MCG73 from the --CG driver 300-7 are prolonged [four main control gate lines MCG10-MCG13] in the direction of a train by four main control gate lines MCG20-MCG23 from the CG driver 300-2, respectively.

[0073] Here, four main control gate lines MCG00-MCG03 prolonged in the direction of a train from the CG driver 300-0 are continued and prolonged to the field of the RAJI block 0, as shown in drawing 8. And common connection of the metal wiring M0 of 8 and a total of 64 arranged at each of the RAJI blocks 0-7 is made at the main control gate line MCG00. Similarly, metal wiring M2 of 64 is carried out at the main control gate line MCG02, and common connection of the metal wiring M3 of 64 is made for the metal wiring M1 of 64 on the main control gate line MCG03 at the main control gate line MCG01, respectively.

[0074] If it puts in another way, four main control gate lines MCG00-MCG03 prolonged in the direction of a train from the CG driver 300-0 can supply potential only to the 1st of all the memory cells arranged in the RAJI block 0, and the 2nd control gate 106A and 106B, as shown in drawing 8, and are not connected to other RAJI blocks 1-7.

[0075] Similarly, although omitted in drawing 8, the RAJI block 2 and the --CG driver 300-6 are connected [the CG driver 300-1] with the RAJI block 6 for the RAJI block 1 and the CG driver 300-2, respectively.

[0076] In drawing 8, the state where the CG driver 300-7 is connected only with the RAJI block 7 is illustrated further.

[0077] Drawing 10 shows the relation between the phase next door **** sector field 0 and the sector field 1. Although, as for the sector field 0 and the sector field 1, a word line WL is shared, the main

THIS PAGE BLANK (USPTO)

control gate line MCG and the main bit line MBL are formed independently, respectively. In drawing 10, the CG driver 300-0 which is one of the drivers especially corresponding to the sector field 0, and the CG driver 301-0 which is one of the drivers corresponding to the sector field 1 are shown, and CG driver is prepared independently for every sector field.

[0078] Moreover, if the sector field 0 is mentioned as an example, for example, common connection of two or more subcontractor trawl gate lines SCG0 arranged every small memory block 216 is made at the main control gate line MCG00. The gate circuit is not arranged in the middle of each path from this main control gate line MCG00 to each subcontractor trawl gate line SCG0.

[0079] Similarly, common connection of two or more bit lines BL0 (impurity layer) arranged every small memory block 216 is made at the main bit line MBL0 which is metal wiring. The gate circuit is not arranged in the middle of each path from this main bit line MBL0 to each bit line BL0. In addition, the above thing is the same about other sector fields 1-7.

[0080] (Explanation of operation) Here, each potential of the control gate line CG set up, a bit line BL, and a word line WL is shown in the following table 1 about the time of data elimination by the nonvolatile semiconductor memory of this operation gestalt, and a program.

[0081]

[Table 1]

	選択セル			非選択セル(選択セクタ内)			非選択セル(非選択セクタ内)		
	CG	BL	WL	CG	BL	WL	CG	BL	WL
消去	-5V	5V	1.8V	-	-	-	0V	0V	1.8V
プログラム	5V	5V	1V	5V	5V	0V	0V	0V	0Vor1V

[0082] In Table 1, at the time of data elimination, for example, all the inside of the sector field 0 (selection sector) serves as a selection cell, and 1.8V are supplied to 4096 word lines WL. Moreover, by the CG driver 300-0 to 300-7, the 1st high potential for elimination (for example, -5V) is supplied to all 32 main control gate lines MCG00-MCG03, MCG10-MCG13, --MCG70-MCG73, and the 1st high potential for elimination can be collectively supplied to the control gates 106A and 106B of all the memory cells in the sector field 0 (selection sector). Although the 2nd high potential for elimination (for example, 5V) is supplied to all the bit lines BL in the sector field 0 at this time, about the supply method, it mentions later. In this way, data elimination can be carried out in all the memory cells in the selected sector field 0.

[0083] At this time, for example in the sector field 1, although 1.8V are supplied to all 4096 word lines WL, since the control gate CG and a bit line BL can supply 0V independently, the thing which do not choose and for which data elimination is carried out with a non-choosing sector does not have them in the sector field 0.

[0084] Next, programming operation is explained. In one MONOS memory cell each corresponding to 16 I/O arranged at the RAJI block 0 in the selected sector field 0, 16 bits of data programming are carried out simultaneously, respectively. For this reason, 1V are supplied to the gap or one word line WL linked to the selection cell in the sector field 0, and other 4095 word lines WL are set as 0V.

Moreover, in 16 memory block 214 corresponding to each I/O0 - I/O15 arranged at the RAJI block 0 in the sector field 0, 5V are supplied to two control gate lines CG equivalent to CG [i] of drawing 5, and CG [i+1], and other control gate lines CG are set as 0V. Furthermore, in each memory block 214 in the sector field 0, 5V are supplied to one bit line BL equivalent to the bit line BL of drawing 5 [i+1], and other bit lines BL are set as 0V. Thereby, data programming is carried out in one MONOS memory cell each in each memory block 214 arranged at the RAJI block 0 in the sector field 0.

[0085] As shown in Table 1 at this time, although a word line WL is set as 0V, in the non-choosing cell arranged at the RAJI block 0 in the selected sector field 0, the high potential of 5V is impressed to both the control gate line CG and the bit line BL.

[0086] On the other hand, as shown in Table 1, in the non-choosing cell in a non-choosing sector field, 0V are impressed to both the control gate line CG and the bit line BL. Therefore, in a non-choosing

THIS PAGE BLANK (USPTO)

sector field, dace SUTABU produced by the same high potential as the time of a program being impressed does not arise in a non-choosing cell. This is the same also about the non-choosing cell arranged at the RAJI block 1-7 except the RAJI block 0 in the selected sector field 0.

[0087] Although high potential will be impressed to the non-choosing cell arranged at the RAJI block 0 in the selected sector field 0, such high potential is impressed only when programming with the RAJI block 0 in the sector field 0. Therefore, if it compares with that by which high potential is impressed to the non-choosing cell in the sector field of others whenever programming in any one sector field is carried out, the frequency to which high potential is impressed decreases sharply, and it can prevent that dace SUTABU arises.

[0088] (Explanation of the example 1 of comparison) Drawing 11 shows the composition of the example 1 of comparison. In this example 1 of comparison, a memory cell array field is divided in the direction of a train, and has two or more sector fields 0 and 1 and -- which make the direction of a train a longitudinal direction. Moreover, the CG driver 400,401 is shared by both the sector fields 0 and 1 in the example 1 of comparison, without being prepared respectively corresponding to the sector fields 0 and 1.

[0089] Here, as shown in drawing 11, corresponding to the sector field 0, the selector-gate field 403 is formed for the selector-gate field 402 corresponding to the sector field 1, respectively. The N type MOS transistor group arranged to the selector-gate field 402,403 chooses whether based on the potential of the selection-signal lines CGS0 and CGS1, the potential supplied from the CG driver 400,401 is supplied to the sector fields 0 and 1. Similarly, other N type MOS transistor groups arranged to the selector-gate field 402,403 have chosen connection/connectionless one of the bit line BL of the sector fields 0 and 1 based on the potential of the selection-signal lines BLS0 and BLS1.

[0090] About the time of data elimination by the nonvolatile semiconductor memory of the example 1 of comparison shown in drawing 11, and a program, each potential of the control gate line CG set up, bit line BL, a word line WL, and the selection-signal lines CGS and BLS is shown in the following table 2.

[0091]

[Table 2]

	選択セル					非選択セル(選択セクタ内)					非選択セル(非選択セクタ内)				
	CG	BL	WL	CGS	BLS	CG	BL	WL	CGS	BLS	CG	BL	WL	CGS	BLS
消去	-5V	5V	1.8V	0V	6V	-	-	-	-	-	FL	FL	1.8V	-6V	0V
プログラム	5V	5V	1V	6V	6V	5V	5V	0V	6V	6V	FL	FL	0V	0V	0V

[0092] Although it can be set as the same potential as the setting potential in this operation gestalt substantially shown in Table 1 also in the example 1 of comparison as shown in Table 2, these can be attained by forming the selector-gate field 402,403. If the selector-gate field 402,403 does not exist, high potential will be impressed also to the non-choosing cell of the sector field 1 of not choosing at the time of programming of the selection cell in the selected sector field 0. Thus, if the high potential at the time of a program is impressed also to a non-choosing cell across a sector field, high potential will be impressed to the degree of a program at a non-choosing cell, and dace SUTABU will arise.

[0093] In order to prevent generating of above dace SUTABU in the example 1 of comparison, it is indispensable to prepare a selector-gate field for every sector field. However, area will increase by the occupancy space of such a selector-gate field, and the degree of integration of a memory cell will fall.

[0094] Furthermore, in the example 1 of comparison, if an N type MOS transistor is used for the selector-gate field 402,403, since a voltage drop will arise there, from the CG driver 400,401, the voltage for a voltage drop will have to be added, the 1st high potential for elimination required originally will have to be supplied, and it will high-voltage-ize.

[0095] With the operation gestalt of this invention mentioned above, though dace SUTABU is avoided, a selector-gate field can be omitted, and high integration and a low-battery drive of a memory cell are attained.

[0096] (Example 2 of comparison) Drawing 15 shows the composition of the example 2 of comparison. It is divided into the same sector fields 0-31 as the gestalt of this operation also in drawing 15. It

THIS PAGE BLANK (USPTO)

corrects, for example, only the CG driver 300 is formed as a control gate mechanical component of the sector field 0. Four main control gate lines MCG0-MCG3 prolonged in the direction of a train from this CG driver 300 are formed, and these are formed by the 3rd-layer metal wiring. And common connection of the metal wiring M0 of 8 and a total of 64 arranged at each of the RAJI blocks 0-7 is made at the main control gate line MCG0. Similarly, metal wiring M2 of 64 is carried out at the main control gate line MCG2, and common connection of the metal wiring M3 of 64 is made for the metal wiring M1 of 64 on the main control gate line MCG3 at the main control gate line MCG1, respectively.

[0097] Also in the example 2 of comparison shown in drawing 15, while programming data in the sector field 0, in other sector fields 1-31, it is not necessary to impress high potential to a memory cell, and moreover a selector-gate field cannot be prepared, but ** can also prevent dace SUTABU.

However, in the example 2 of comparison, while carrying out data programming about one memory cell of the sector fields 0, high potential will be equally impressed to all the memory cells in this sector field 0, and it is inferior to the gestalt of this operation with this point.

[0098] In the example 2 of comparison, all the memory cells of the direction of a train covering the RAJI blocks 0-7 are further connected to each of the main control gate lines MCG0-MCG3. Therefore, if a main control gate line compares with what is connected to the memory cell within any one RAJI block like the gestalt of this operation, the load-carrying capacity (gate capacitance) connected to the main control gate line of the gestalt of this operation will be set to one eighth of the examples 2 of comparison.

[0099] If the load-carrying capacity connected to the main contest toll gate line by which high potential is supplied is large, although the time taken to charge a main control gate line at the high potential will become long and it will become impossible to high-speed drive it, the gestalt of this operation excels the example 2 of comparison in the point.

[0100] In addition, in the operation gestalt of this invention shown in drawing 10, it is also possible about a bit line BL to add a selector gate. Thus, about the non-choosing cell in the selected sector 0, it is good also as floating by the selector gate in a bit line BL. If it carries out like this, the bit line BL of the non-choosing cell in the sector field 0 where the program was chosen will not serve as high potential. Therefore, dace SUTABU of the data in a non-choosing cell can be reduced further. In addition, when supplying high potential to a bit line through a selector gate, a possibility that a voltage drop may arise remains.

[0101] (Composition of 1 chip memory) Drawing 12 is an outline block diagram when forming an above-mentioned nonvolatile semiconductor memory into 1 chip. In drawing 12, the left array block 502 and the right array block 504 are formed in this IC chip 500. Each of the array block 502,504 of these right and left includes the memory cell array field explained by drawing 7.

[0102] Between the array blocks 502,504 of these right and left, the coder 514 is arranged by the CG decoder 506, X pulley decoder 508, the WL driver (left) 510, the WL driver (right) 512, and Y.

[0103] The sense amplifier / BL driver 516,518 is connected to the memory block 502,504 on either side, respectively. The 16-bit signal IO 0-15 is outputted and inputted to either this sense amplifier / BL driver 516,518 through data in / out buffer 520, and an input/output terminal 522.

[0104] Based on the various enable signals inputted through the command terminal 530, the control logical circuit 532 which generates a control logic signal is further formed in the IC chip 500. Based on the output from this control logical circuit 532, the various potentials supplied to the control gate line WL, a bit line BL, etc. are generated in the potential generation circuit 534.

[0105] On the other hand, based on address signal ADR [0-20] inputted from the outside through an address terminal 640, internal address signal A0-20 are generated by the address buffer 542. This definition of internal address signal A0-20 is shown in the following table 3.

[0106]

[Table 3]

THIS PAGE BLANK (USPTO)

アドレス	グループ	ファンクション
A[20:15]	セクタ	Choose 1 of 64
A[14:12]	行	Choose 1 of 8
A[11:0]	列	Choose 1 of 4096

[0107] As shown in Table 3, high order 6bit[of an internal address signal] A [20:15] is used for choosing one of the sector fields 0-63 shown in drawing 7 (A). Middle triplet [of an internal address signal] A [14:12] is used for choosing one of 8 bits from one small memory block 216 shown in drawing 9 . Low rank 12bit[of an internal address signal] A [11:0] is used in order to choose one of 4096 word lines WL.

[0108] Drawing 13 shows the detail of the left memory block 502 shown in drawing 12 . This memory block 502 has the sector field 0-31 made to be the same as that of drawing 7 (A) 32 ****s, and eight RAJI blocks 0-7 are formed in each of the sector field 0-31 like drawing 7 (B).

[0109] As shown in drawing 13 , the CG drivers 300-331 are formed corresponding to one each of the 32 sector fields. The CG driver 300 corresponding to the sector field 0 is the same as what was shown in drawing 8 , and control gate potential is directly supplied to each memory cell in the sector field 0 which consists of the RAJI block 0-8. Other CG drivers 301-331 have the same function.

[0110] In drawing 13 , the well driver 340-0 to 340-31 which is a bit line mechanical component for elimination is formed corresponding to one each of the 32 sector fields 0-31. The well driver 340-0 supplies the 2nd high potential for elimination to for example, the P type well in the sector field 0, and sets it as the 2nd high potential for elimination. Other well drivers 340-1 to 340-31 have the same function.

[0111] In drawing 13 , the sector decoder 350-0 to 350-31 is formed corresponding to one each of the 32 sector fields 0-31. The sector decoder 350-0 decodes the signal generated by high order 6bit[of an internal address signal] A [20:15]. And when a sector 0 is chosen, the sector decoding 350-0 drives the CG driver 300 and the well driver 340-0, and required potential is supplied to the control gate line CG and a bit line BL.

[0112] In drawing 13 , Y path circuit 360-0 to 360-31 and the sector selection circuitry 370-0 to 370-31 are formed corresponding to one each of the 32 sector fields 0-31. Y path circuit 360-0 to 360-31 chooses one of the bit line BL 0-3 connected to each 16 I/O based on the signal from the Y decoder 514 shown in drawing 12 . The sector selection circuitry 370-0 to 370-31 performs connection/connectionless one with the sense amplifier / BL driver 516 shown in drawing 12 based on the selection signals SEC0-SEC31 from the corresponding sector decoder 360-0 to 360-31.

[0113] In addition, this invention is not limited to the gestalt of operation mentioned above, and deformation implementation various by within the limits of the summary of this invention is possible for it.

[0114] For example, about the structure of the nonvolatile memory devices 108A and 108B, it is not limited to MONOS structure. this invention is applicable to the nonvolatile semiconductor memory using other various memory cells which can carry out the trap of the charge independently in two places with the one WORD gate 104 and the 1st and 2nd control gate 106A and 106B.

[0115] Moreover, with an above-mentioned operation gestalt, it is an example about the number of partitions of the number of partitions of a sector field, a RAJI block, and a small block, and other various deformation implementation is possible. It was decided from restrictions of a metal wiring pitch that the number of partitions of a RAJI block was set to 8 at *****. If a metal wiring pitch can be narrowed, the number of partitions can be increased further. For example, if it carries out comparatively for 16 minutes, since the load-carrying capacity (gate capacitance) of one control gate line will become less further, a high-speed drive is attained more. However, since the number of main control gate lines will increase if it carries out comparatively for 16 minutes, a line & space is narrowed or area must be increased. Moreover, since the number of control gate drivers also increases, the part area increases.

[0116] Drawing 14 shows the modification of the wiring to the small memory block 216 shown in

THIS PAGE BLANK (USPTO)

drawing 8 . In drawing 14 , it connects with not all small blocks 0-7 within the RAJI block 0 like drawing 8 , but the main control gate lines MCG00-MCG03 from the CG driver 300-0 are connected only to each small block 0 of the RAJI blocks 0-7. The CG driver 300-1 is connected only to each small block 2 of the RAJI blocks 0-7. The CG driver 300-7 is connected only to each small block 7 of the RAJI blocks 0-7.

[0117] Even if it is the topology shown in drawing 14 , the same operation and effect as the topology shown in drawing 8 can be done so.

[Translation done.]

THIS PAGE BLANK (USPTO)

NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section of a memory cell used for the nonvolatile semiconductor memory concerning the gist of 1 operation of this invention.

[Drawing 2] It is the representative circuit schematic of the memory cell shown in drawing 1.

[Drawing 3] It is outline explanatory drawing for explaining data read-out operation by the nonvolatile semiconductor memory shown in drawing 1.

[Drawing 4] It is the property view showing the relation of the control gate-voltage vectorcardiogram in a memory cell and the source-drain current I_{ds} which are shown in drawing 1.

[Drawing 5] It is outline explanatory drawing for explaining data write-in (program) operation by the nonvolatile semiconductor memory shown in drawing 1.

[Drawing 6] It is outline explanatory drawing for explaining data elimination operation by the nonvolatile semiconductor memory shown in drawing 1.

[Drawing 7] For the flat-surface layout pattern of the whole nonvolatile semiconductor memory which shows drawing 7 (A) to drawing 1, and drawing 7 (B), the plan of one sector field in drawing 7 (A) and drawing 7 (C) are [the plan of one RAJI block in drawing 7 (C) and drawing 7 (E) of the plan of one memory block in drawing 7 (B) and drawing 7 (D)] the plans of one small block in drawing 7 (D).

[Drawing 8] It is outline explanatory drawing for explaining much memory block and wiring of one sector field shown in drawing 7 (B).

[Drawing 9] It is the circuit diagram showing the detail of small memory block shown in drawing 8.

[Drawing 10] It is the circuit diagram showing the relation of an adjacent sector field.

[Drawing 11] It is the circuit which shows the composition of the example 1 of comparison over drawing 10.

[Drawing 12] It is the block diagram of the nonvolatile semiconductor memory formed into 1 chip.

[Drawing 13] It is the block diagram showing the detail of left memory block shown in drawing 12.

[Drawing 14] It is outline explanatory drawing for explaining the modification with which drawing 8 changed the wiring to small memory block in one sector field.

[Drawing 15] Drawing 8 and drawing 14 are outline explanatory drawings for explaining the composition of the example 2 of comparison considered as further different wiring.

[Description of Notations]

100 Memory Cell

102 P Type Well

104 WORD Gate

106A, 106B Control gate (line)

108A, 108B Nonvolatile memory device (MONOS memory cell)

109 ONO Film

110 Impurity Layer (Bit Line)

200A, 200B Memory cell array field

201 Word Line Mechanical Component

THIS PAGE BLANK (USPTO)

210 Sector Field
212 RAJI Block
214 Memory Block
215 Small Block
216 Small Memory Block
300-0 to 331-7 CG (control gate) driver
340-0 to 340-31 Well driver (bit line mechanical component for elimination)
350-0 to 350-31 Sector driver
360-0 to 360-31 Y path circuit
370-0 to 370-31 Sector selection circuitry
400,401 CG (control gate) driver
402,403 Selector-gate field
500 IC Chip
502,504 Array block
506 CG Decoder
508 X Pulley Decoder
510,512 WL (word line) driver
514 Y Decoder
516,518 A sense amplifier / BL driver
520 Data in / Out Buffer
522 Input/output Terminal
530 Command Terminal
532 Control Logical Circuit
534 Potential Generation Circuit
540 Address Terminal
542 Address Buffer
WL Word line
BL Bit line (impurity layer)
MBL Main bit line
SCG Subcontractor trawl gate line (the 1st layer metal wiring)
M0-M3 The 2nd layer metal wiring
MCG Main control gate line (the 3rd layer metal wiring)

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

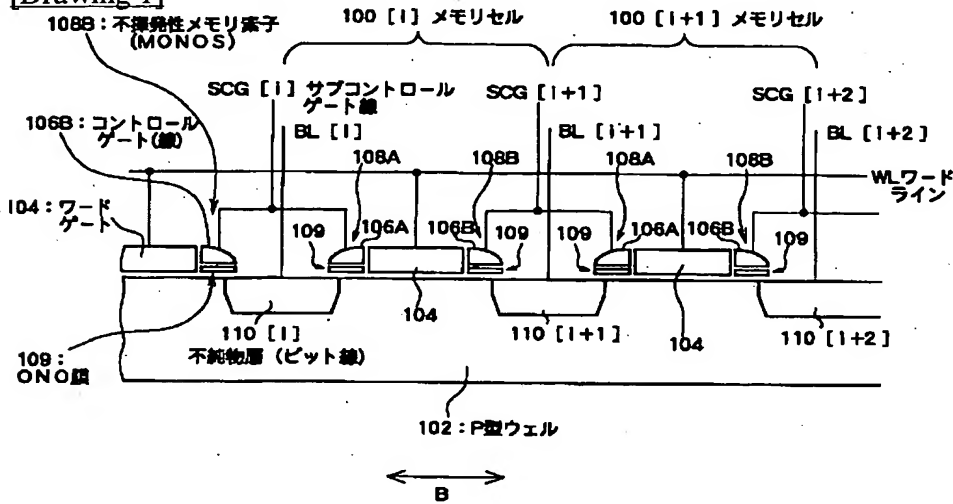
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

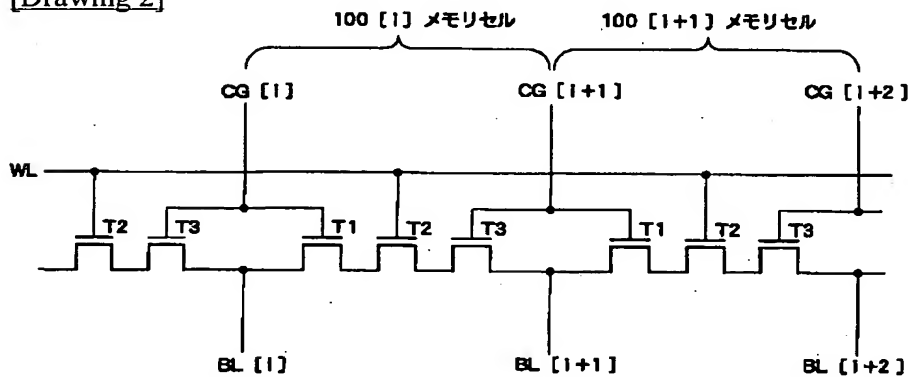
3. In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

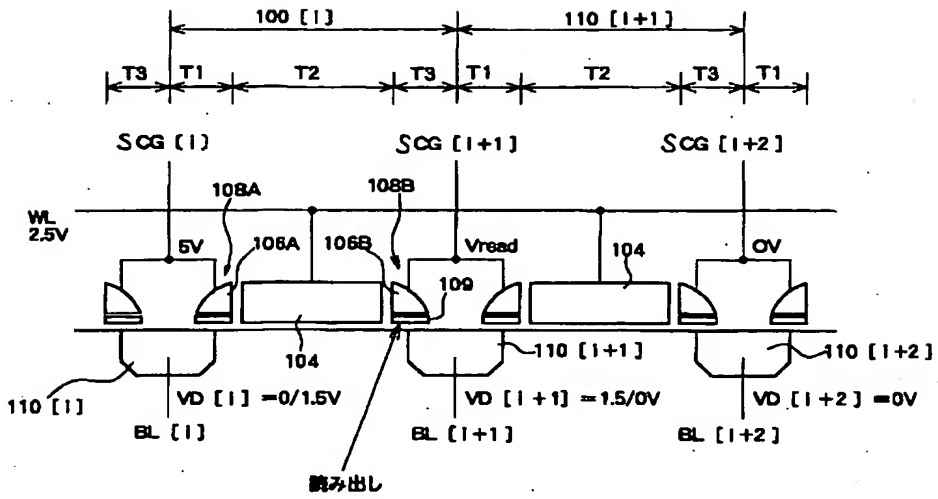


[Drawing 2]

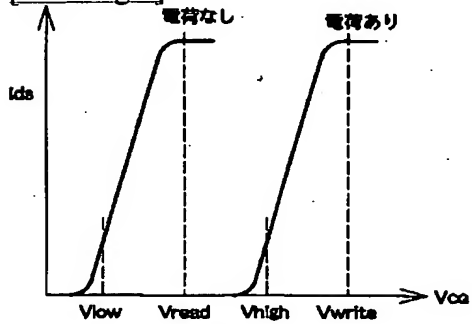


[Drawing 3]

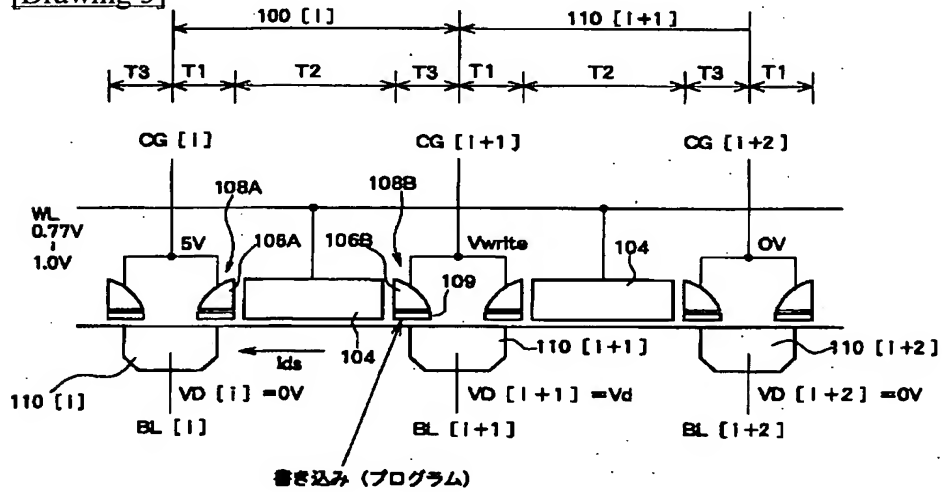
THIS PAGE BLANK (USPTO)



[Drawing 4]

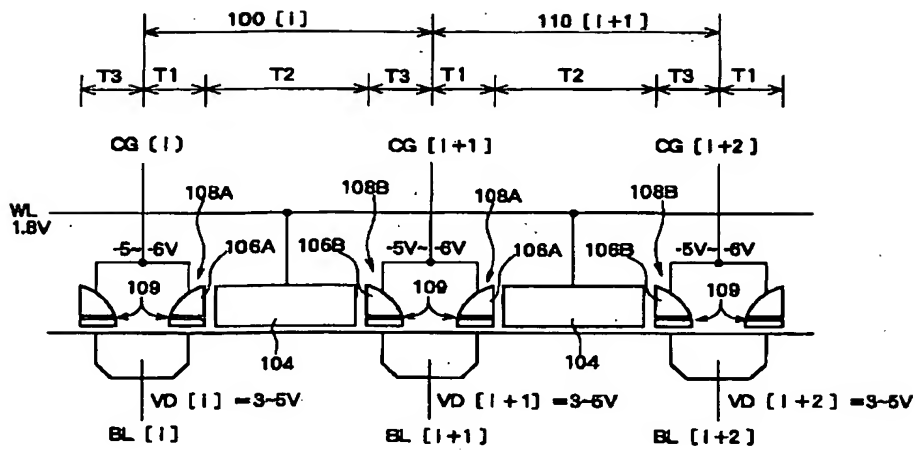


[Drawing 5]



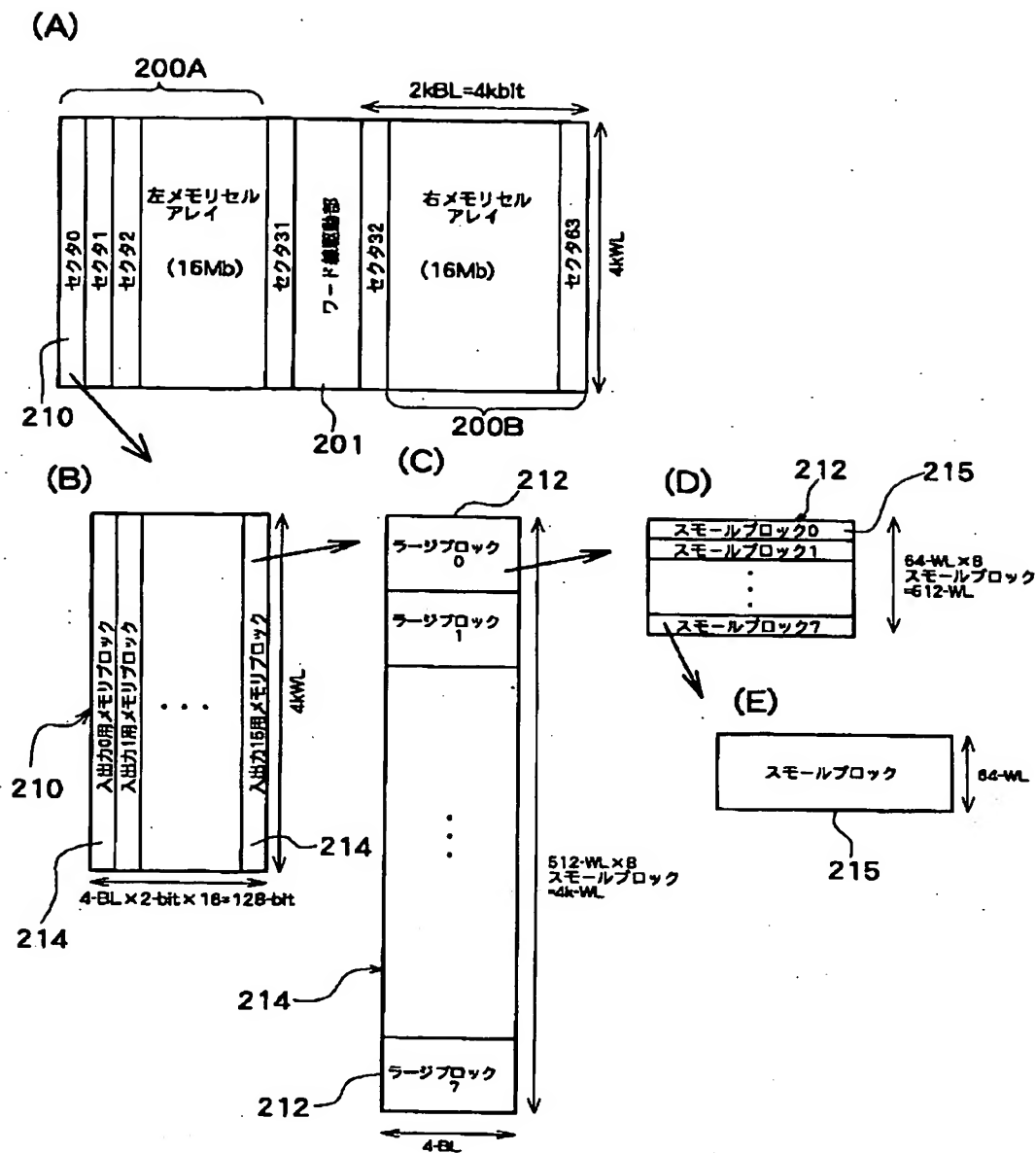
[Drawing 6]

THIS PAGE BLANK (USPTO)



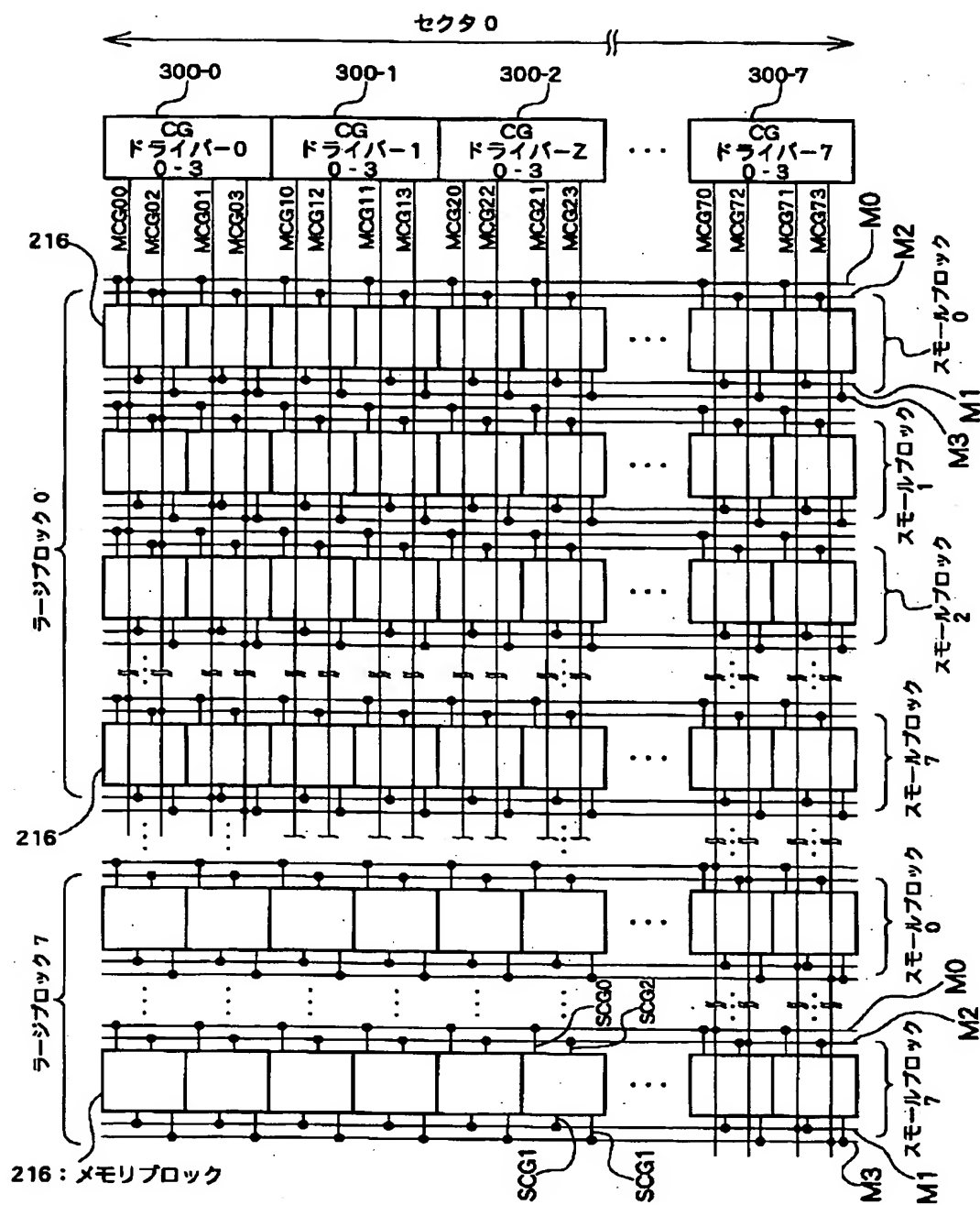
[Drawing 7]

THIS PAGE BLANK (USPTO)

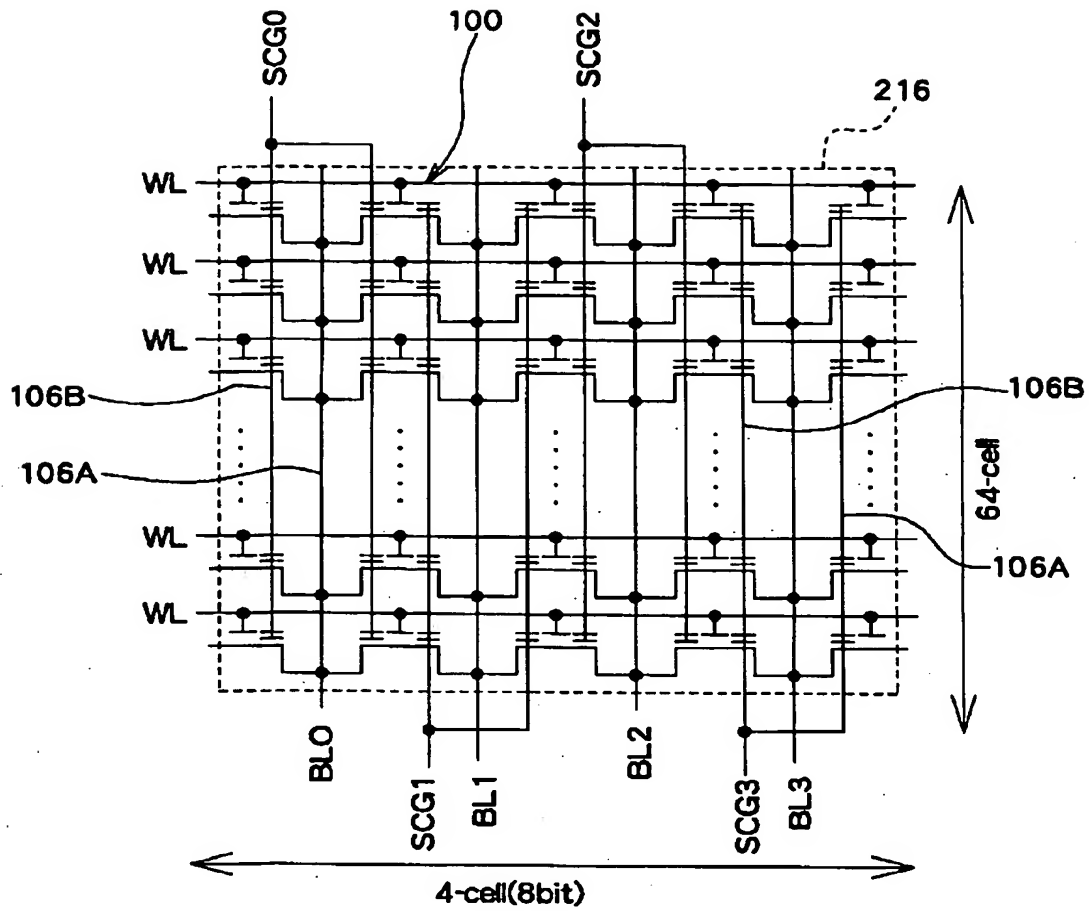


[Drawing 8]

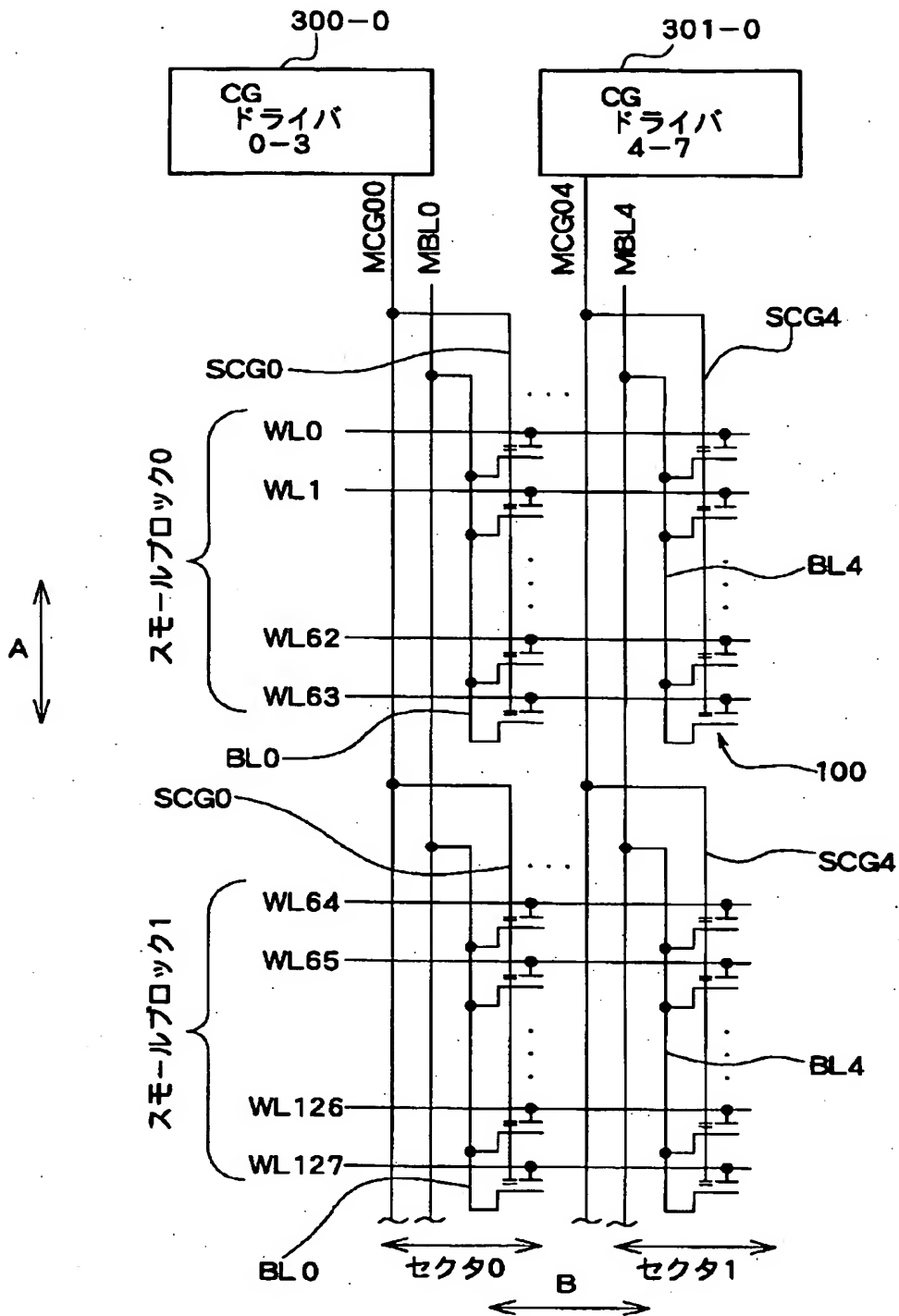
THIS PAGE BLANK (USPTO)



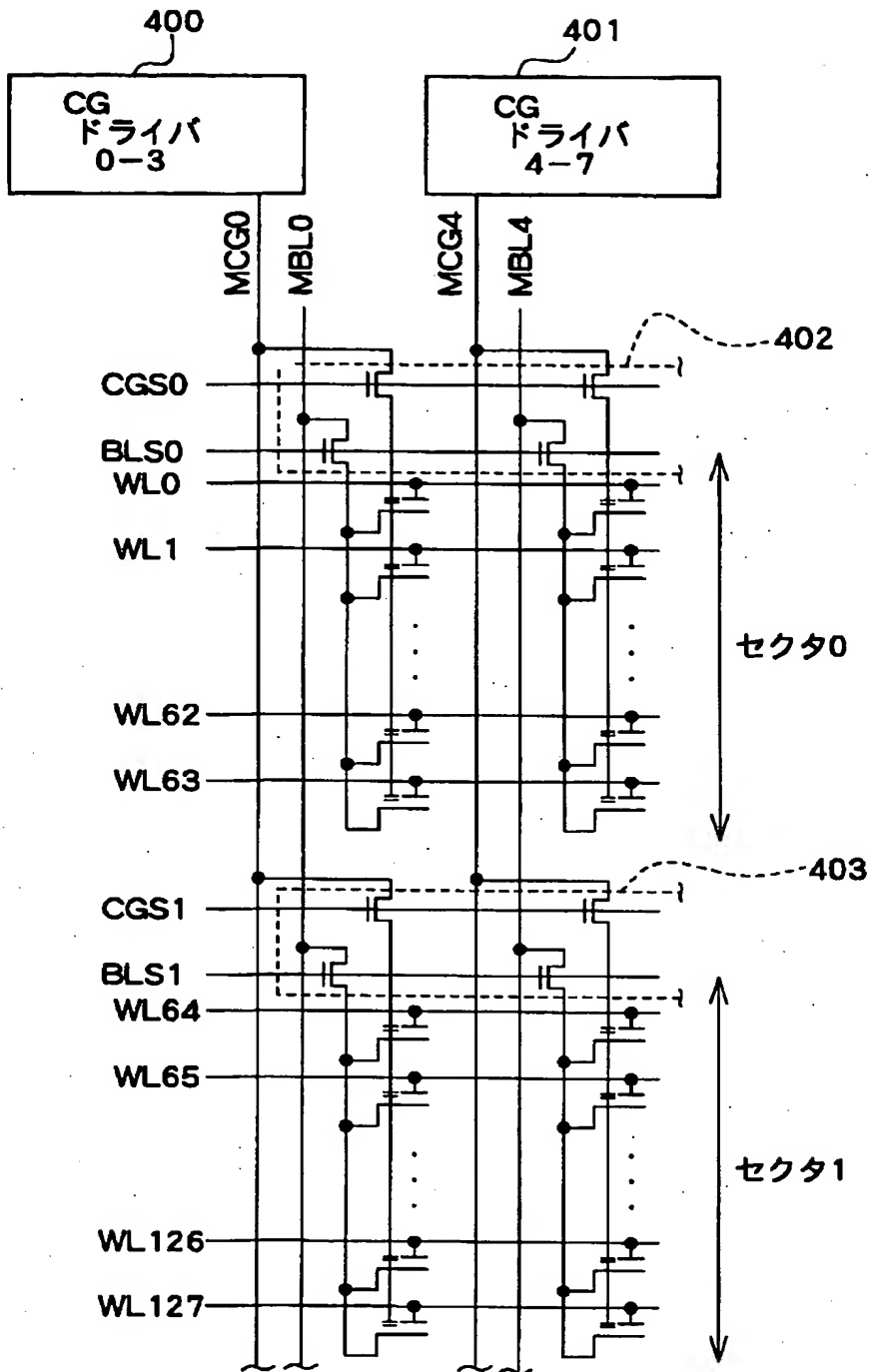
[Drawing 9]



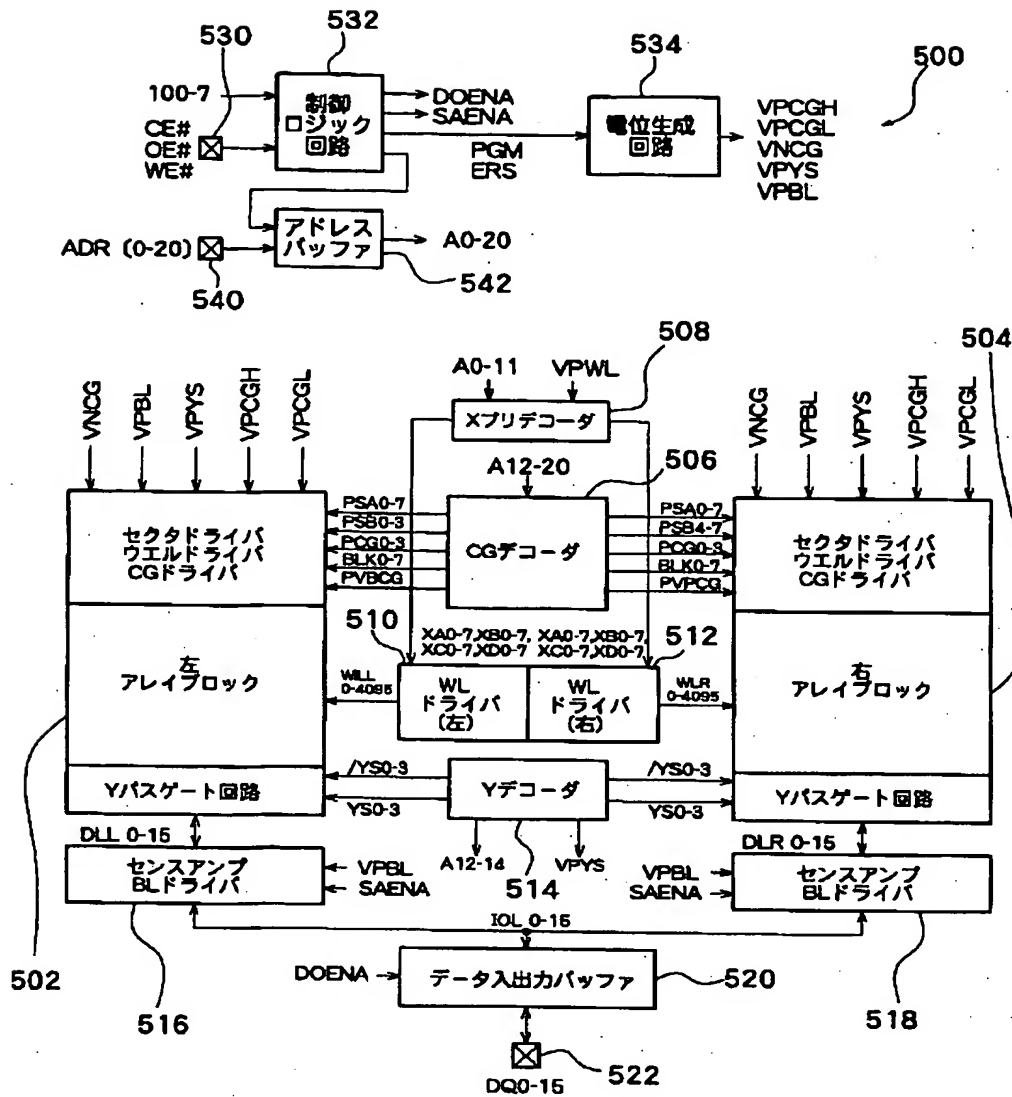
[Drawing 10]



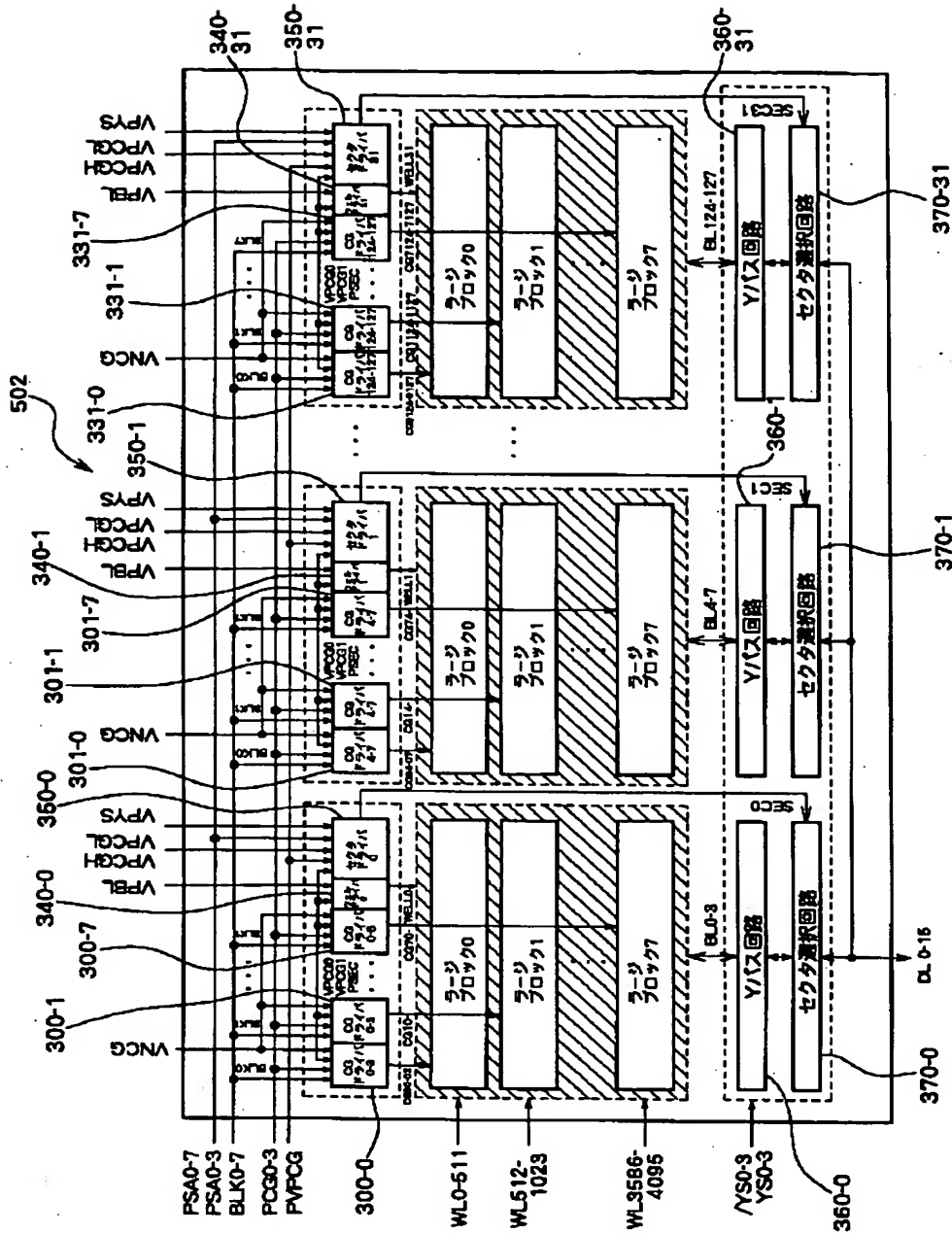
[Drawing 11]



[Drawing 12]

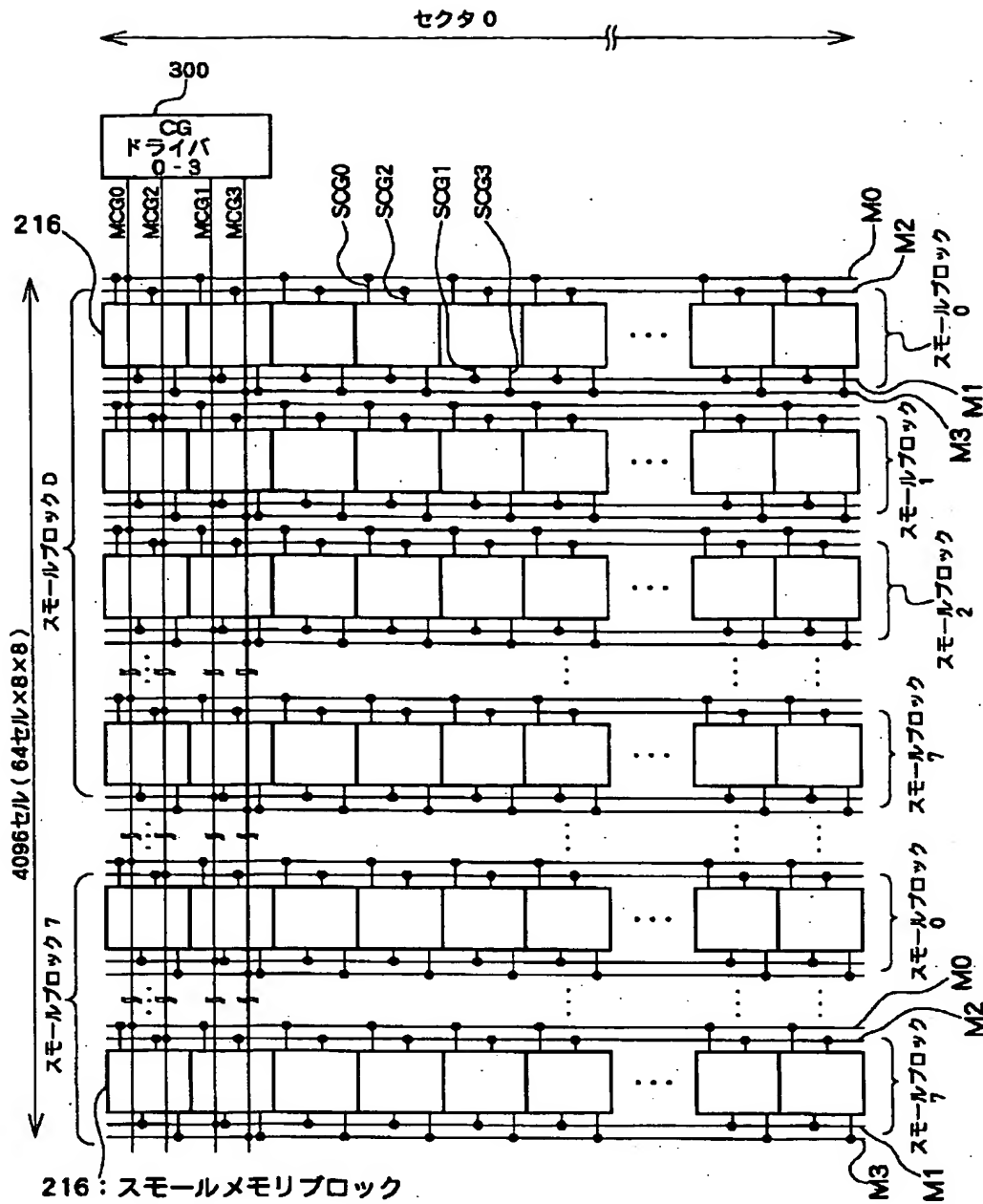


[Drawing 13]



[Drawing 14]

[Drawing 15]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-313090

(P2002-313090A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 1 1 C 16/04

G 1 1 C 17/00

6 2 3 Z 5 B 0 2 5

16/02

6 1 2 F 5 F 0 8 3

16/06

6 3 4 Z 5 F 1 0 1

H 0 1 L 21/8247

6 3 3 B

27/115

H 0 1 L 29/78

3 7 1

審査請求 有 請求項の数16 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2001-115678(P2001-115678)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(22) 出願日 平成13年 4 月 13 日 (2001. 4. 13)

(72) 発明者 亀井 輝彦

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ

ーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外 2 名)

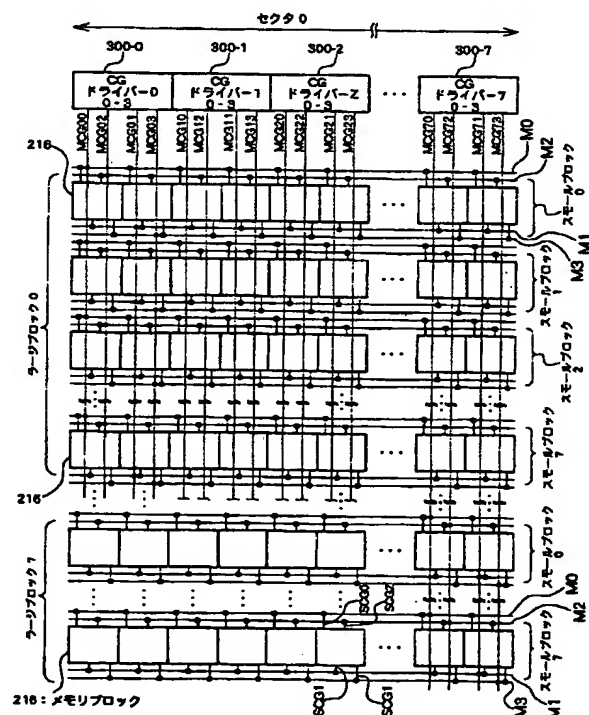
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 ディスタープを回避しながらも、選択ゲート領域を要せずに高集積化、低電圧駆動及び高速駆動が可能な不揮発性半導体装置を提供すること。

【解決手段】 不揮発性半導体記憶装置は、ワードゲートとコントロールゲートにより制御される第 1, 第 2 の MONOS メモリセル 108 A, 108 B を有するメモリセル 100 を、第 1, 第 2 の方向 A, B にそれぞれ複数配列してなるメモリセルアレイ領域を有する。メモリセルアレイ領域は、第 2 の方向 B で分割され、第 1 の方向 A を長手方向とする複数のセクタ領域 0, 1, … を有する。セクタ領域 0 は 8 つのラージブロック 0 ~ 7 に分割される。セクタ領域 0 のためのコントロールゲート駆動部として、8 つのコントロールゲート (CG) ドライバ 300-0 ~ 300-7 を有する。この CG ドライバ 300-0 ~ 300-7 の各々は、ラージブロック 0 ~ 7 の中の互いに異なる一つに配置されたメモリセルの第 1, 第 2 のコントロールゲートの電位を設定する。



【特許請求の範囲】

【請求項 1】 1つのワードゲートと、第1、第2のコントロールゲートにより制御される第1、第2の不揮発性メモリ素子とを有するメモリセルを、相交差する第1及び第2の方向にそれぞれ複数配列してなるメモリセルアレイ領域と、

前記メモリセルアレイ領域内の前記複数のメモリセルの各々の前記第1、第2のコントロールゲートを駆動するコントロールゲート駆動部と、

を有し、

前記メモリセルアレイ領域は、前記第2の方向で分割された複数のセクタ領域を有し、

前記複数のセクタ領域の各々は、前記第1の方向で複数に分割された複数のブロックを有し、

前記コントロールゲート駆動部は、前記複数のセクタ領域の各一つについてそれぞれ複数のコントロールゲートドライバを有し、前記複数のコントロールドライバの各々は、前記複数のブロックのうちの互いに異なる1以上のブロックに配置された全メモリセルの前記第1及び第2のコントロールゲートの電位を設定することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 請求項 1 において、

前記複数のブロックは、前記第1の方向で複数に分割された複数のラージブロックと、前記複数のラージブロックの各々を前記第1の方向でさらに細分割された複数のスモールブロックを有し、

前記複数のコントロールドライバの各々は、前記複数のラージブロックのうちの互いに異なる一つに配置され、かつ前記複数のスモールブロック内に配置された全メモリセルの前記第1及び第2のコントロールゲートの電位を設定することを特徴とする不揮発性半導体記憶装置。

【請求項 3】 請求項 1 において、

前記複数のブロックは、前記第1の方向で複数に分割された複数のラージブロックと、前記複数のラージブロックの各々を前記第1の方向でさらに細分割された複数のスモールブロックを有し、

前記複数のコントロールドライバの各々は、前記複数のラージブロックの各々について互いに異なる一つの前記スモールブロックに配置された全メモリセルの前記第1及び第2のコントロールゲートの電位を設定することを特徴とする不揮発性半導体記憶装置。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、

前記複数のコントロールゲートドライバは、一つのセクタ領域内のデータ消去時に、該一つのセクタ領域内の全ての前記第1、第2のコントロールゲートに第1の消去用高電位を供給して、前記複数のセクタ領域の各々にて一括してデータを消去することを特徴とする不揮発性半導体記憶装置。

【請求項 5】 請求項 4 において、

前記複数のセクタ領域の各々には、前記第1の方向に沿

って形成された複数のコントロールゲート線が設けられ、

前記コントロールゲート駆動部は、前記複数のセクタ領域の各々に配置された前記複数のコントロールゲート線の各々に、ゲート回路を経由せずに直接接続されていることを特徴とする不揮発性半導体記憶装置。

【請求項 6】 請求項 5 において、

前記複数のコントロールゲート線は、

前記コントロールゲート駆動部に直接接続された複数のメインコントロールゲート線と、

前記複数のメインコントロールゲート線と前記複数のメモリセルの前記第1、第2のコントロールゲートとを接続する複数のサブコントロールゲート線と、

を含むことを特徴とする不揮発性半導体記憶装置。

【請求項 7】 請求項 6 において、

前記複数のセクタ領域の各々に設けられた偶数のメインコントロールゲート線には、偶数列の前記複数メモリセルの各々の前記第2のコントロールゲートと奇数列の前記複数メモリセルの各々の前記第1のコントロールゲートとが共通接続された複数のサブコントロールゲートが接続され、前記複数のセクタ領域の各々に設けられた奇数のメインコントロールゲート線には、奇数列の前記複数メモリセルの各々の前記第2のコントロールゲートと偶数列の前記複数メモリセルの各々の前記第1のコントロールゲートとが共通接続された複数のサブコントロールゲート線が接続されていることを特徴とする不揮発性半導体記憶装置。

【請求項 8】 請求項 7 において、

前記複数のセクタ領域の各々に対応して設けられた前記複数のコントロールゲートドライバの各々には、 k 本のメインコントロールゲート線が接続され、前記複数のセクタ領域の各々には、 k 本のサブコントロールゲート線が接続されるメモリセル群からなる各入出力ビットに対応したメモリブロックが、前記第2の方向に複数配置され、

前記第2の方向に沿って延びる複数の配線が設けられ、前記 k 本のメインコントロールゲート線の各々と、それと対応する前記 k 本のサブコントロールゲート線の各々とが、前記複数の配線の各々を介してそれぞれ接続されていることを特徴とする不揮発性半導体記憶装置。

【請求項 9】 請求項 8 において、

前記メモリブロックの前記第2の方向に沿ったメモリセル数を4とし、 $k=4$ に設定したことを特徴とする不揮発性半導体記憶装置。

【請求項 10】 請求項 1 乃至 9 のいずれかにおいて、

前記複数のセクタ領域の各々には、

前記第1の方向に沿って形成された複数のビット線と、

少なくともデータのプログラム時及び読み出し時に、前記複数のビット線を駆動するビット線駆動部と、

がさらに設けられていることを特徴とする不揮発性半導

体記憶装置。

【請求項11】 請求項10において、一つのセクタ領域毎のデータ消去時に、該一つのセクタ領域に形成された前記複数のビット線に第2の消去用高電位を供給する消去用ビット線駆動部がさらに設けられていることを特徴とする不揮発性半導体記憶装置。

【請求項12】 請求項10または11において、前記複数のビット線は、不純物層にて形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項13】 請求項12において、前記複数のセクタ領域の各々は、他のセクタと分離された一つのウェル領域に形成され、前記ウェル領域に第2の消去用高電位を供給する消去用ウェル駆動部が設けられる不揮発性半導体記憶装置。

【請求項14】 請求項12または13において、前記不純物層にて形成された前記複数のビット線の各々にそれぞれ接続される複数のメインビット線が設けられ、前記複数のメインビット線から前記複数のビット線にそれぞれ至る各経路途中に、ゲート回路が設けられていないことを特徴とする不揮発性半導体記憶装置。

【請求項15】 請求項1乃至14のいずれかににおいて、前記メモリセルアレイ領域には、前記第2の方向に沿って配列された前記複数のメモリセルの各々の前記ワードゲートにそれぞれ共通接続された複数のワード線が、前記第2の方向に沿って設けられ、

前記メモリセルアレイ領域前記第2の方向の一端には、前記複数のワード線を駆動するワード線駆動部が設けられていることを特徴とする不揮発性半導体記憶装置。

【請求項16】 請求項1乃至15のいずれかににおいて、前記第1、第2の不揮発性メモリ素子の各々は、酸化膜(O)、窒化膜(N)及び酸化膜(O)からなるONO膜を電荷のトラップサイトとして有することを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、1つのワードゲートと、2つのコントロールゲートにより制御される2つの不揮発性メモリ素子を備えたメモリセルにて構成される不揮発性半導体記憶装置に関する。

【0002】

【背景技術】不揮発性半導体装置として、チャネルとゲートとの間のゲート絶縁層が、酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜の積層体からなり、窒化シリコン膜に電荷がトラップされるMONOS (Metal-Oxide-Nitride-Oxide-Semiconductorまたは-substrate)型が知られている。

【0003】このMONOS型不揮発性半導体記憶装置は、文献(Y. Hayashi, et al, 2000 Symposium on VLSI T

chnology Digest of Technical Papers p.122-p.123)に開示されている。この文献には、1つのワードゲートと、2つのコントロールゲートにより制御される2つの不揮発性メモリ素子(MONOSメモリセル)を備えたツインMONOSフラッシュメモリセルが開示されている。すなわち、1つのフラッシュメモリセルが、電荷のトラップサイトを2つ有している。

【0004】このような構造を有する複数のツインMONOSフラッシュメモリセルを行方向及び列方向にそれぞれ複数配列させて、メモリセルアレイ領域が構成される。

【0005】

【発明が解決しようとする課題】このツインMONOSフラッシュメモリセルを駆動するには、2本のビット線と、1本のワード線と、2本のコントロールゲート線とを要する。ただし、多数のメモリセルを駆動するに際して、異なるコントロールゲートであっても同じ電位に設定する場合には、これらの線を共通接続することができる。

【0006】ここで、フラッシュメモリの動作には、データの消去、プログラム及び読み出しがある。データのプログラム及び読み出しは、通常、8ビットまたは16ビットの選択セルにて同時に実施されるが、データの消去はさらに広い範囲で同時に実施できる。

【0007】ここで、この種の不揮発性メモリでは、データのディスタ urbが課題となっている。データのディスタ urbとは、選択セルのコントロールゲート線及びビット線に高電位を印加してプログラムまたは消去するときに、共用される配線によって非選択セクタ領域内のセルにも高電位が印加され、プログラムの度にその状態が繰り返されることでプログラムまたは消去されて、非選択セルのデータがディスタ urbされることを言う。

【0008】このような事態を防止するには、選択ゲート回路を設けて、選択セクタのセルにのみ高電位が印加され、非選択セクタのセルには高電位が印加されないようにすることができる。

【0009】しかし、このようにすると、選択ゲート回路のために面積を占有され、メモリセルの高集積化が妨げられる。さらには、選択ゲートにて電圧降下が生ずると、プログラム時または消去時に選択セクタのセルに高電位を供給するために、電圧降下分を上乗せして供給する必要がある。結果的に、低電圧駆動が妨げられ、特に携帯機器のように低消費電力化が求められる機器には不適合となる。

【0010】さらに、今後は携帯機器等から高速にてデータをリードする要求が高まるが、高速駆動の点でも改善の余地があった。

【0011】そこで、本発明は、選択セルでのプログラム時または消去時に非選択セクタのセルにてデータがディスタ urbされることを回避しながら、しかも選択ゲ

10

20

30

40

50

ト回路を要せずに高集積化が可能な不揮発性半導体記憶装置を提供することにある。

【0012】本発明の他の目的は、選択ゲート回路を不要とすることで電圧降下を回避して、消費電力を低減することができる不揮発性半導体装置を提供することにある。

【0013】本発明のさらに他の目的は、高電位が供給されるコントロールゲート線の負荷容量を低減して高速駆動を可能とした不揮発性半導体記憶装置を提供することにある。

【0014】

【課題を解決するための手段】本発明の一態様に係る不揮発性半導体記憶装置は、1つのワードゲートと、2つのコントロールゲートにより制御される2つの不揮発性メモリ素子を有するメモリセルを、相交差する第1及び第2の方向にそれぞれ複数配列してなるメモリセルアレイ領域を有する。不揮発性半導体記憶装置はさらに、メモリセルアレイ領域内の複数のメモリセルの各々の第1、第2のコントロールゲートを駆動するコントロールゲート駆動部を有する。

【0015】メモリセルアレイ領域は、第2の方向で分割された複数のセクタ領域を有する。この複数のセクタ領域の各々は、第1の方向に沿った複数の各列にそれぞれ配列された複数のメモリセルを有する。

【0016】複数のセクタ領域の各々は、第1の方向で複数の分割された複数のブロックを有する。コントロールゲート駆動部は、複数のセクタ領域の各一つについてそれぞれ複数のコントロールゲートドライバを有する。この複数のコントロールドライバの各々は、複数のブロックのうちの互いに異なる1以上のブロックに配置された全メモリセルの前記第1及び第2のコントロールゲートの電位を設定する。

【0017】本発明の一態様によれば、ある一つのセクタ領域内のある一つのブロックに配置された選択セルについてプログラムする際には、そのセクタ領域内で選択されたブロックに配置されたメモリセル（選択セル及び非選択セル）のコントロールゲート電位のみを、対応するコントロールゲートドライバによってプログラム電位とできる。選択セクタ内の他のブロック及び非選択セクタ領域では、それに対応するコントロールゲートドライバによって、プログラム電位以外の電位に設定できるので、非選択のセクタ領域内の非選択セルにてデータがディスターブされることがない。しかもこのことは、選択ゲート回路を用いずに達成できるため、メモリセルを高集積化することができる。また、選択ゲート回路での電圧降下も生じないので、低電圧駆動が可能となり、特に携帯機器のメモリとして有効に利用できる。さらには、一つのコントロールゲートドライバには一つのブロック内のメモリセルのみが接続されるので、一つのセクタ領域内の全てのメモリセルを接続するものと比較して、コ

ントロールゲート線に接続される負荷容量（ゲート容量）が低減される。よって、メモリの高速駆動も可能となる。

【0018】複数のブロックとして、第1の方向で複数の分割された複数のラージブロックと、その複数のラージブロックの各々を第1の方向でさらに細分割された複数のスモールブロックを有することができる。

【0019】この場合、複数のコントロールドライバの各々は、複数のラージブロックのうちの互いに異なる一つに配置され、かつ複数のスモールブロック内に配置された全メモリセルの第1及び第2のコントロールゲートの電位を設定することができる。

【0020】あるいは、複数のコントロールドライバの各々は、複数のラージブロックの各々について互いに異なる一つのスモールブロックに配置された全メモリセルの前記第1及び第2のコントロールゲートの電位を設定することができる。

【0021】本発明の一態様において、データ消去時に複数のコントロールゲートドライバの一つが選択されて、該一つのセクタ領域内の全ての第1、第2のコントロールゲートに第1の消去用高電位を供給することができる。こうして、複数のセクタ領域の各々にて一括してデータ消去を実施することができる。

【0022】本発明の一態様においてはさらに、複数のセクタ領域の各々には、第1の方向に沿って形成された複数のコントロールゲート線が設けられ、コントロールゲート駆動部は、複数のセクタ領域の各々に配置された複数のコントロールゲート線の各々に、ゲート回路を経由せずに直接接続されていることが好ましい。

【0023】このように、面積を増大させ、電圧降下を生じさせるゲート回路を排除しても、非選択のセクタ領域内の非選択セルに高電位が印加されることはない。

【0024】ここで、この複数のコントロールゲート線は、コントロールゲート駆動部に直接接続された複数のメインコントロールゲート線と、複数のメインコントロールゲート線と複数のメモリセルの前記第1、第2のコントロールゲートとを接続する複数のサブコントロールゲート線とを含むことができる。これらは、層の異なる金属配線にて形成することができる。

【0025】このとき、複数のセクタ領域の各々に設けられた偶数のメインコントロールゲート線には、偶数列の複数のメモリセルの各々の第2のコントロールゲートと奇数列の複数のメモリセルの各々の第1のコントロールゲートとが共通接続された複数のサブコントロールゲートを接続することができる。一方、複数のセクタ領域の各々に設けられた奇数のメインコントロールゲート線には、奇数列の複数のメモリセルの各々の第2のコントロールゲートと偶数列の複数のメモリセルの各々の第1のコントロールゲートとが共通接続された複数のサブコントロールゲート線を接続することができる。

【0026】また、複数のセクタ領域の各々に対応して設けられた複数のコントロールゲートドライバの各々に k 本のメインコントロールゲート線が接続される場合には、複数のセクタ領域の各々には、k 本のサブコントロールゲート線が接続されるメモリセル群からなる各入出力ビットに対応したメモリブロックが、第 2 の方向に複数配置される。このとき、第 2 の方向に沿って延びる複数の配線を設けることが好ましい。こうすると、k 本のメインコントロールゲート線の各々と、それと対応する k 本のサブコントロールゲート線の各々とを、複数の配線の一つを介して接続することができる。

【0027】特に好ましい形態として、メモリブロックの第 2 の方向に沿ったメモリセル数を 4 とすることができる。この場合には k = 4 に設定され、コントロールゲートドライバには 4 本のメインコントロールゲート線が接続される。メモリブロックは、第 2 の方向に 4 セル有するため計 8 ビットとなり、1 本のサブコントロールゲート線を 2 ビットに共用することで、4 本のサブコントロールゲート線が配置される。

【0028】本発明の一態様では、複数のセクタ領域の各々に、第 1 の方向に沿って形成された複数のビット線と、少なくともデータのプログラム時及び読み出し時に複数のビット線を駆動するビット線駆動部とをさらに有することができる。

【0029】ビット線駆動部はデータ消去時に複数のビット線を駆動するようにしてもよいが、消去用ビット線駆動部をさらに設けても良い。この消去用ビット線駆動部は、一つのセクタ領域毎のデータ消去時に、該一つのセクタ領域に形成された複数のビット線に第 2 の消去用高電位を供給する。

【0030】複数のセクタ領域の各々は、他のセクタと分離された一つのウェル領域に形成することができる。この場合、そのウェル領域に第 2 の消去用高電位を供給する消去用ウェル駆動部を設けることができる。

【0031】また、複数のビット線を不純物層にて形成することかぎでき、この複数のビット線の各々に、複数のメインビット線の各々を接続しても良い。メインビット線を金属配線とすれば、ビット線の低抵抗化が可能であり、また不純物層を第 1 の方向で連続させずに不連続としても、その不連続な各ビット線にメインビット線を介して給電できる。

【0032】このとき、複数のメインビット線から前記複数のビット線に至る経路途中に、ゲート回路が設けないことが好ましい。ゲート回路はビット線の配線容量を高めるほか、ゲート回路にて電圧降下が生ずることもあり、低電圧駆動の妨げとなるからである。

【0033】メモリセルアレイ領域には、第 2 の方向に沿って配列された前記複数のメモリセルの各々のワードゲートにそれぞれ共通接続された複数のワードを、第 2 の方向に沿って設けることができる。こうして、複数の

セクタ領域らにて複数のワード線は共用される。なお、メモリセルアレイ領域の第 2 の方向の一端に、複数のワード線を駆動するワード線駆動部を設けることができる。不揮発性半導体記憶装置の記憶容量をさらに大容量化するには、第 2 の方向にてワード線ドライバを挟んだ両側に、複数のメモリセルアレイ領域をそれぞれ配置しても良い。

【0034】第 1、第 2 の不揮発性メモリ素子の各々は、酸化膜 (O)、窒化膜 (N) 及び酸化膜 (O) からなる ONO 膜を電荷のトラップサイトとして有することができるが、これに限らず他の構造を採用することができる。

【0035】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0036】(メモリセル構造) 図 1 は不揮発性半導体記憶装置の一断面を示し、図 2 はその等価回路図である。図 1 において、1 つのメモリセル 100 は、P 型ウェル 102 上にゲート酸化膜を介して例えばポリサイドにて形成されたワードゲート 104 と、第 1、第 2 のコントロールゲート 106A、106B と、第 1、第 2 のメモリ素子 (MONOS メモリセル) 108A、108B とを有する。

【0037】第 1、第 2 のコントロールゲート 106A、106B は、ワードゲート 104 の両側壁に形成され、ワードゲート 104 とはそれぞれ電氣的に絶縁されている。

【0038】第 1、第 2 のメモリ素子 108A、108B の各々は、MONOS の M (金属) に相当するポリシリコンにて形成される第 1、第 2 のコントロールゲート 106A、106B の一つと、P 型ウェル 102 との間に、酸化膜 (O)、窒化膜 (N) 及び酸化膜 (O) を積層することで構成される。なお、第 1、第 2 のコントロールゲート 106A、106B は、シリサイドなどの導電材で構成することができる。

【0039】このように、1 つのメモリセル 100 は、スプリットゲート (第 1、第 2 のコントロールゲート 106A、106B) を備えた第 1、第 2 の MONOS メモリセル 108A、108B を有し、第 1、第 2 の MONOS メモリセル 108A、108B にて一つのワードゲート 104 を共用している。

【0040】この第 1、第 2 の MONOS メモリセル 108A、108B は、それぞれ電荷のトラップサイトとして機能する。第 1、第 2 の MONOS メモリセル 108A、108B の各々は、ONO 膜 109 にて電荷をトラップすることが可能である。図 1 及び図 2 に示すように、行方向 (図 1 及び図 2 の第 2 の方向 B) に間隔をおいて配列された複数のワードゲート 104 は、ポリサイドなどで形成される 1 本のワード線 WL に共通接続されている。

【0041】また、図1に示すコントロールゲート106A、106Bは、列方向（図1の紙面に垂直な第1の方向A）に沿って延び、列方向に配列される複数のメモリセル100にて共用される。よって、符号106A、106Bをコントロールゲート線とも称する。

【0042】ここで、 $[i]$ 番目のメモリセル100 $[i]$ のコントロールゲート線106Bと、 $[i+1]$ 番目のメモリセル100 $[i+1]$ のコントロールゲート線106Aとは、例えばワードゲート、コントロールゲート、ワード線よりも上層の第1層の金属層で形成されるサブコントロールゲート線SCG $[i+1]$ が接続されている。

【0043】P型ウェル102には、 $[i]$ 番目のメモリセル100 $[i]$ のMONOSメモリセル108Bと、 $[i+1]$ 番目のメモリセル100 $[i+1]$ のMONOSメモリセル108Aとに共用される $[i+1]$ 番目の不純物層110 $[i+1]$ が設けられている。

【0044】これらの不純物層110 $[i]$ 、 $[i+1]$ 、 $[i+2]$ は例えばP型ウェル内に形成されるn型不純物層で、列方向（図1の紙面に垂直な第1の方向A方向）に沿って延び、列方向に配列される複数のメモリセル100にて共用されるビット線として機能する。よって、符号110 $[i]$ 、 $[i+1]$ 、 $[i+2]$ などをビット線BL $[i]$ 、 $[i+1]$ 、 $[i+2]$ とも称する。

【0045】（メモリセルからのデータ読み出し）一つのメモリセル100は、図2に示すように、ワードゲート104により駆動されるトランジスタT2と、第1、第2のコントロールゲート106A、106Bによりそれぞれ駆動されるトランジスタT1、T3とを直列に接続したものと模式化することができる。

【0046】メモリセル100の動作を説明するに際して、図3に示すように、隣接する2つのメモリセル100 $[i]$ 、 $[i+1]$ の各所の電位の設定についてまず説明する。図3は、メモリセル100 $[i]$ のワードゲート104の右側のMONOSメモリセル108Bからのデータ読み出しについて説明する図である。なお、以下の動作説明において、トランジスタT1～T3のしきい値電圧は2.5V未満と仮定する。

【0047】この場合、メモリセル100 $[i]$ と同じ行にある各ワードゲート104に例えば2.5Vを印加して、各トランジスタT2をオンさせる。また、メモリセル100 $[i]$ の左側のコントロールゲート106Aに、サブコントロールゲート線SCG $[i]$ を介してオーバーライド電圧（例えば5V）を印加して、MONOSメモリセル108Aに相当するトランジスタT1をオンさせる。メモリセル100 $[i]$ の右側のコントロールゲート106Bの電位VCGとして、読み出し電位Vreadを印加する。

【0048】このとき、ワードゲート104の右側のM

ONOSメモリセル108Bに電荷が蓄積されていたか否かで、MONOSメモリセル108Bに相当するトランジスタT3の動作は以下のように分かれる。

【0049】図4は、メモリセル100 $[i]$ の右側のコントロールゲート106Bへの印加電圧と、それによって制御されるMONOSメモリセル108Bに相当するトランジスタT3のソースドレイン間に流れる電流Idsとの関係を示している。

【0050】図4に示すように、MONOSメモリセル108Bに電荷が蓄積されていない場合には、コントロールゲート電位VCGが低いしきい値電圧Vlowを超えると電流Idsが流れ始める。これに対して、MONOSメモリセル108Bに電荷が蓄積されている場合には、コントロールゲート電位VCGが高いしきい値電圧Vhighを超えない限り電流Idsが流れ始めない。

【0051】ここで、データ読み出し時にコントロールゲート106Bに印加される電圧Vreadは、2つのしきい値電圧Vlow、Vhighのほぼ中間電圧（例えば2.5V）に設定されている。

【0052】従って、MONOSメモリセル108Bに電荷が蓄積されていない場合には電流Idsが流れ、MONOSメモリセル108Bに電荷が蓄積されている場合には電流Idsが流れないことになる。

【0053】ここで、データ読み出し時にはビット線BL $[i]$ （不純物層110 $[i]$ ）の電位VD $[i]$ を0Vに、ビット線BL $[i+1]$ （不純物層110 $[i+1]$ ）の電位VD $[i+1]$ を1.5Vにそれぞれ設定しておく。こうすると、MONOSメモリセル108Bに電荷が蓄積されていない場合には電流Idsが流れるため、オン状態のトランジスタT1、T2を介して、電位VD $[i]$ は0V→1.5Vと変化し、電位VD $[i+1]$ は1.5V→0Vと変化する。これに対し、MONOSメモリセル108Bに電荷が蓄積されている場合には電流Idsが流れないため、トランジスタT1、T2がオン状態であっても、電位VD $[i]$ は0Vのまま、電位VD $[i+1]$ は1.5Vのまま変化しない。よって、一对のビット線BL $[i]$ 、 $[i+1]$ の電位を検出することで、メモリセル100 $[i]$ のMONOSメモリセル108Bからのデータ読み出しが可能となる。

【0054】なお、メモリセル100 $[i+1]$ でもトランジスタT1、T2はオンしているが、トランジスタT3のコントロールゲート電位VCGは0Vとされ、図3の2つのしきい値電圧Vlow、Vhighの双方より電位VCGが低いので、メモリセル100 $[i+1]$ にてソースドレイン電流は流れることがない。よって、メモリセル100 $[i+1]$ でのデータ蓄積状況が、メモリセル100 $[i]$ からのデータ読み出しに悪影響を与えない。

【0055】メモリセル100 $[i]$ の左側のMONO

Sメモリセル108Aからデータを読み出すには、メモリセル100[i-1]、[i]の各所の電位を、上記と同様に設定すればよい。

【0056】(メモリセルのプログラミング)図5は、メモリセル100[i]のワードゲード104の右側のMONOSメモリセル108Bのデータプログラミングについて説明する図である。なお、このデータプログラミング動作の前には、後述するデータ消去動作が実施されている。

【0057】図5では、図3と同じく、サブコントロールゲート線SCG[i]の電位はオーバライド電位(例えば5V)とされ、サブコントロールゲート線SCG[i+2]の電位は0Vとされている。しかし、各ワードゲート104の電位は、ワード線WLにより例えば0.77~1.0V程度に設定される。また、メモリセル100[i+1]の右側のコントロールゲート108Bの電位は、サブコントロールゲート線SCG[i+1]を介して、図4に示す書き込み電位Vwrite(例えば5~6V)に設定され、[i+1]番目の不純物層110[i+1](ビット線BL[i+1])の電位VD[i+1]は例えば4.5~5Vに設定される。

【0058】こうすると、メモリセル100[i]のトランジスタT1、T2がそれぞれオンして、不純物層110[i]に向けて電流Idsが流れる一方で、MONOSメモリセル108BのONO膜109にはチャンネルホットエレクトロン(CHE)がトラップされる。こうして、MONOSメモリセル108Bのプログラミング動作が実施されて、データの「0」または「1」が書き込まれる。

【0059】(メモリセルのデータ消去)図6は、ワード線WLに接続された2つのメモリセル100[i]、[i+1]のデータ消去について説明する図である。

【0060】図6では、各ワードゲート104の電位は、ワード線WLによって例えば1.8Vに設定され、サブコントロールゲート線SCG[i]、[i+1]、[i+2]によって、コントロールゲート106A、106Bの電位は例えば-5~-6V程度(第1の消去用高電位)に設定される。さらに、不純物層(ビット線)110[i]、[i+1]、[i+2]の各電位は、P型ウェル電位と等しい3~5V(第2の消去用高電位)に設定される。

【0061】こうすると、各MONOSメモリセル108A、108BのONO膜109にトラップされていた電子は、金属(M)に印加された第1の消去用高電位と、シリコン(S)に印加された第2の消去用高電位とで形成される電界により、トンネル効果により抜かれて消去される。これにより、複数メモリセルにて同時にデータ消去が可能となる。なお、消去動作としては、上述のものとは異なり、ビット線となる不純物層の表面のバンドバンドトンネリングによりホットホールを形成

し、蓄えられていたエレクトロンを消去するものであっても良い。

【0062】(不揮発性半導体記憶装置の全体構成)上述のメモリセル100を用いて構成される不揮発性半導体記憶装置の全体構成について、図7(A)~図7(E)を参照して説明する。

【0063】図7(A)は1チップの不揮発性半導体記憶装置の平面レイアウト図であり、ワード線駆動部201を挟んだ左右のメモリアレイ領域200A、200Bは、例えば32個のセクタ領域210にそれぞれ分割されている。1チップの不揮発性半導体記憶装置としては、第0~第63のセクタ領域210を有する。32個のセクタ領域210は、図7(A)に示すように左右のメモリアレイ領域200A、200Bを第2の方向(行方向)Bでそれぞれ分割したもので、各セクタ領域210は第1の方向(列方向)Aを長手方向とする縦長形状を有する。データ消去の最小単位がセクタ領域210であり、セクタ領域210内の記憶データは一括消去される。

【0064】左右のメモリアレイ領域200A、200Bの各々は、例えば4K本のワード線WLと2K本のビット線BLを有する。ここで、本実施の形態では1本のビット線BLに2つのMONOSメモリセル108A、108Bが接続されるため、2K本のビット線BLは4Kbitの記憶容量を意味する。図7(A)の不揮発性半導体記憶装置は左右のメモリアレイ領域200A、200Bを有するため、メモリ全体として(4K本のワード線WL)×(2K本のビット線BL)×2×2で定義される記憶容量を有する。各セクタ領域210の記憶容量はメモリ全体の記憶容量の1/64であり、(4K本のワード線WL)×(64本のビット線BL)×2で定義される記憶容量を有する。

【0065】図7(B)は、図7(A)に示す不揮発性半導体記憶装置の一つのセクタ領域210の詳細を示している。図7(B)に示すように、各セクタ領域210は第2の方向にて分割され、16ビットのデータをリード・ライト可能にI/O0~I/O15用の16個のメモリブロック(入出力ビットに対応したメモリブロック)214を有している。各メモリブロック214は、図7(B)に示すように、4k(4096)本のワード線WLを有する。

【0066】図7(C)に示すように、図7(B)に示す一つのメモリブロック214は、第1の方向Aにて8個のラージブロック212に分割されている。この各ラージブロック212は、図7(D)に示すように、第1の方向Aにて8個のスモールブロック215に分割されている。各スモールブロック215は、図7(E)に示すように、64本のワード線WLを有する。

【0067】よって、一つのラージブロック212に配されるワード線WLの総数(冗長用も含む)は、64本

10

20

30

40

50

×8スモールブロック=512本となる。このため、一つのセクタ領域210に配されるワード線WLの総数は、512(本)×8(ラージブロック)=4096本となる。

【0068】(セクタ領域の詳細)図8は、図7(A)に示すセクタ領域0の詳細を示している。図8に示すスモールメモリブロック216は、図9に示すように、メモリセル100を列方向に例えば64個、行方向に例えば4個配列したものである。一つのスモールメモリブロック216には、例えば第1層の金属配線層である4本のサブコントロールゲート線SCG0~SCG3と、データの入出力線である4本のビット線BL0~BL3と、64本のワード線WLとが接続されている。

【0069】ここで、偶数のコントロールゲート線SCG0、SCG2には、偶数列(第0列または第2列)の複数メモリセルの各々の第2のコントロールゲート106Bと奇数列(第1列または第3列)の複数メモリセルの各々の第1のコントロールゲート106Aとが共通接続されている。同様に、奇数のサブコントロールゲート線SCG1、SCG3には、奇数列(第1列または第3列)の複数メモリセルの各々の第2のコントロールゲート106Bと偶数列(第2列または第4列)の複数メモリセルの各々の第1のコントロールゲート106Aとが共通接続されている。

【0070】図8に示すように、スモールメモリブロック216が列方向に64個配列され、16ビットの入出力を行うために、I/O0~I/O15に対応した16個のスモールメモリブロック216が行方向に配列されている。

【0071】各スモールメモリブロック216では、コントロールゲート線SCG0が、行方向に延びる例えば第2層の金属配線M0に共通接続されている。同様に、16本のサブコントロールゲート線SCG1は金属配線M1に、16本のサブコントロールゲート線SCG2は金属配線M2に、16本のサブコントロールゲート線SCG3は金属配線M3にそれぞれ共通接続されている。

【0072】このセクタ領域0のコントロールゲート駆動部である8個のCGドライバ300-0~300-7が設けられている。CGドライバ300-0から列方向に延びる4本のメインコントロールゲート線MCG00~MCG03が設けられ、これらは例えば第3層の金属配線により形成されている。同様に、CGドライバ301-0からは4本のメインコントロールゲート線MCG10~MCG13が、CGドライバ300-2からは4本のメインコントロールゲート線MCG20~MCG23が、…CGドライバ300-7からは4本のメインコントロールゲート線MCG70~MCG73が、それぞれ列方向に延びている。

【0073】ここで、CGドライバ300-0から列方向に延びる4本のメインコントロールゲート線MCG0

0~MCG03は、図8に示すようにラージブロック0の領域に亘って延びている。そして、ラージブロック0~7の各々に配置された8本、計64本の金属配線M0は、メインコントロールゲート線MCG00に共通接続されている。同様に、64本の金属配線M1はメインコントロールゲート線MCG01に、64本の金属配線M2はメインコントロールゲート線MCG02に、64本の金属配線M3はメインコントロールゲート線MCG03にそれぞれ共通接続されている。

【0074】換言すれば、CGドライバ300-0から列方向に延びる4本のメインコントロールゲート線MCG00~MCG03は、図8に示すようにラージブロック0内に配置された全メモリセルの第1、第2のコントロールゲート106A、106Bにのみ電位を供給可能で、他のラージブロック1~7には接続されていない。

【0075】同様に、図8では省略されているが、CGドライバ300-1はラージブロック1と、CGドライバ300-2はラージブロック2と、…CGドライバ300-6はラージブロック6とそれぞれ接続されている。

【0076】図8ではさらに、CGドライバ300-7がラージブロック7とのみ接続されている状態が図示されている。

【0077】図10は、相隣り合うセクタ領域0とセクタ領域1との関係を示している。セクタ領域0とセクタ領域1とはワード線WLが共用されるが、メインコントロールゲート線MCG及びメインビット線MBLはそれぞれ独立して設けられている。特に図10では、セクタ領域0に対応するドライバの一つであるCGドライバ300-0と、セクタ領域1に対応するドライバの一つであるCGドライバ301-0とが示され、CGドライバはセクタ領域毎に独立して設けられている。

【0078】また、例えばセクタ領域0を例に挙げれば、スモールメモリブロック216毎に配置された複数のサブコントロールゲート線SCG0はメインコントロールゲート線MCG00に共通接続されている。このメインコントロールゲート線MCG00から各サブコントロールゲート線SCG0に至る各経路途中には、ゲート回路は配置されていない。

【0079】同様に、スモールメモリブロック216毎に配置された複数のビット線BL0(不純物層)は、金属配線であるメインビット線MBL0に共通接続されている。このメインビット線MBL0から各ビット線BL0に至る各経路途中にも、ゲート回路は配置されていない。なお、以上のことは他のセクタ領域1~7についても同様である。

【0080】(動作説明)ここで、本実施形態の不揮発性半導体記憶装置でのデータ消去時とプログラム時について、設定されるコントロールゲート線CG、ビット線BL及びワード線WLの各電位を、下記の表1に示

10

20

30

40

50

す。

*【表1】

【0081】

*

	選択セル			非選択セル(選択セクタ内)			非選択セル(非選択セクタ内)		
	CG	BL	WL	CG	BL	WL	CG	BL	WL
消去	-5V	5V	1.8V	-	-	-	0V	0V	1.8V
プログラム	5V	5V	1V	5V	5V	0V	0V	0V	0Vor1V

【0082】表1において、データ消去時には例えばセクタ領域0（選択セクタ）内は全て選択セルとなり、4096本のワード線WLには1.8Vが供給される。また、CGドライバ300-0～300-7によって32本の全てのメインコントロールゲート線MCG00～MCG03, MCG10～MCG13, …MCG70～MCG73に第1の消去用高電位（例えば-5V）が供給され、セクタ領域0（選択セクタ）内の全メモリセルのコントロールゲート106A, 106Bに、一括して第1の消去用高電位を供給することができる。このとき、セクタ領域0内の全ビット線BLには第2の消去用高電位（例えば5V）が供給されるが、その供給方法については後述する。こうして、選択されたセクタ領域0内の全メモリセルにてデータ消去を実施できる。

【0083】このとき、非選択である例えばセクタ領域1では、4096本の全ワード線WLに1.8Vが供給されるが、コントロールゲートCG及びビット線BLはセクタ領域0とは独立して0Vを供給できるので、非選択セクタにてデータ消去が実施されることはない。

【0084】次に、プログラミング動作について説明する。選択されたセクタ領域0内の例えばラージブロック0に配置された16個のI/Oにそれぞれ対応する各一つのMONOSメモリセルにて、16ビット同時にデータプログラミングが実施される。このために、セクタ領域0内の選択セルに接続されたいずれか1本のワード線WLに1Vが供給され、他の4095本のワード線WLは0Vに設定される。また、セクタ領域0内のラージブロック0に配置された、各I/O0～I/O15に対応する16個のメモリブロック214において、図5のCG[i], CG[i+1]に相当する2本のコントロールゲート線CGに5Vを供給し、他のコントロールゲート線CGは0Vに設定する。さらに、セクタ領域0内の各メモリブロック214において、図5のビット線BL[i+1]に相当する1本のビット線BLに5Vを供給し、他のビット線BLは0Vに設定する。これにより、セクタ領域0内のラージブロック0に配置された各メモリブロック214内の各一つのMONOSメモリセルにてデータプログラミングが実施される。

【0085】このとき、表1に示すように、選択されたセクタ領域0内のラージブロック0に配置された非選択セルにおいては、ワード線WLは0Vに設定されるが、コントロールゲート線CG及びビット線BLには共に5Vの高電位が印加される。

【0086】一方、表1に示すように、非選択のセクタ領域内における非選択セルにおいては、コントロールゲート線CG及びビット線BLには共に0Vが印加される。よって、非選択セクタ領域内では、プログラム時と同様な高電位が印加されることで生ずるディスタ urb が非選択セルに生ずることがない。このことは、選択されたセクタ領域0内のラージブロック0を除くラージブロック1～7に配置された非選択セルについても同様である。

【0087】選択されたセクタ領域0内のラージブロック0に配置された非選択セルには高電位が印加されてしまうが、このような高電位はセクタ領域0内のラージブロック0にてプログラミングを実施する場合にのみ印加される。よって、いずれか一つのセクタ領域でのプログラミングが実施される度に、他のセクタ領域内の非選択セルに高電位が印加されるものと比較すれば、高電位が印加される頻度が大幅に低減し、ディスタ urb が生ずることを防止できる。

【0088】（比較例1の説明）図11は、比較例1の構成を示している。この比較例1では、メモリセルアレイ領域は、列方向で分割され、列方向を長手方向とする複数のセクタ領域0, 1, …を有する。また比較例1では、CGドライバ400, 401はセクタ領域0, 1にそれぞれ対応して設けられずに、両セクタ領域0, 1に共用されている。

【0089】ここで、図11に示すように、セクタ領域0に対応して選択ゲート領域402が、セクタ領域1に対応して選択ゲート領域403がそれぞれ設けられている。選択ゲート領域402, 403に配置されたN型MOSトランジスタ群は、選択信号線CGS0, CGS1の電位に基づいて、CGドライバ400, 401から供給される電位をセクタ領域0, 1に供給するか否かを選択するものである。同様に、選択ゲート領域402, 403に配置された他のN型MOSトランジスタ群は、選択信号線BLS0, BLS1の電位に基づいて、セクタ領域0, 1のビット線BLの接続/非接続を選択している。

【0090】図11に示す比較例1の不揮発性半導体記憶装置でのデータ消去時とプログラム時とについて、設定されるコントロールゲート線CG、ビット線BL、ワード線WL及び選択信号線CGS, BLSの各電位を、下記の表2に示す。

50 【0091】

【表 2】

	選択セル					非選択セル(選択セクタ内)					非選択セル(非選択セクタ内)				
	CG	BL	WL	CGS	BLS	CG	BL	WL	CGS	BLS	CG	BL	WL	CGS	BLS
消去	-6V	6V	1.8V	0V	6V	-	-	-	-	-	FL	FL	1.8V	-6V	0V
プログラム	5V	5V	1V	6V	6V	5V	5V	0V	6V	6V	FL	FL	0V	0V	0V

【0092】表2に示すように、比較例1においても実質的に表1に示す本実施形態での設定電位と同じ電位に設定できるが、これらは選択ゲート領域402、403を設けることで達成できるのである。もし選択ゲート領域402、403が存在しなければ、選択されたセクタ領域0での選択セルのプログラミング時に、非選択のセクタ領域1の非選択セルにも高電位が印加されてしまう。このようにセクタ領域を越えてプログラム時の高電位が非選択セルにも印加されると、プログラムの度に非選択セルに高電位が印加され、ディスタープが生じてしまう。

【0093】比較例1では、上記のようなディスタープの発生を防止するために、各セクタ領域毎に選択ゲート領域を設けることが不可欠である。しかし、このような選択ゲート領域の占有スペース分だけ面積が増大し、メモリセルの集積度が低下してしまう。

【0094】さらに比較例1では、選択ゲート領域402、403にN型MOSトランジスタを使用すると、そこで電圧降下が生ずるため、CGドライバ400、401からは本来必要な第1の消去用高電位に電圧降下分の電圧を上乗せして供給しなければならず、高電圧化してしまう。

【0095】上述した本発明の実施形態では、ディスタープを回避しながらも選択ゲート領域を省略でき、メモリセルの高集積化と低電圧駆動とが可能となる。

【0096】(比較例2)図15は比較例2の構成を示している。図15においても、本実施の形態と同様なセクタ領域0～31に分割されている。ただし、例えばセクタ領域0のコントロールゲート駆動部としてCGドライバ300のみが設けられている。このCGドライバ300から列方向に延びる4本のメインコントロールゲート線MCG0～MCG3が設けられ、これらは例えば第3層の金属配線により形成されている。そして、ラージブロック0～7の各々に配置された8本、計64本の金属配線M0は、メインコントロールゲート線MCG0に共通接続されている。同様に、64本の金属配線M1はメインコントロールゲート線MCG1に、64本の金属配線M2はメインコントロールゲート線MCG2に、64本の金属配線M3はメインコントロールゲート線MCG3にそれぞれ共通接続されている。

【0097】図15に示す比較例2においても、セクタ領域0内にデータのプログラミングを実施している時には、他のセクタ領域1～31ではメモリセルに高電位を印加しなくて済み、しかも選択ゲート領域を設けずとも

ディスタープを防止することができる。ただし、比較例2ではセクタ領域0のいずれかのメモリセルについてデータプログラミングを実施している時には、このセクタ領域0内の全てのメモリセルに高電位が等しく印加されることになり、この点で本実施の形態よりも劣っている。

【0098】比較例2ではさらに、メインコントロールゲート線MCG0～MCG3の各々に対して、ラージブロック0～7に亘る列方向の全てのメモリセルが接続される。よって、本実施の形態のようにメインコントロールゲート線がいずれか一つのラージブロック内のメモリセルに接続されるものと比較すれば、本実施の形態のメインコントロールゲート線に接続される負荷容量(ゲート容量)は比較例2の1/8となる。

【0099】高電位が供給されるメインコントロールゲート線に接続される負荷容量が大きいと、メインコントロールゲート線をその高電位に充電するまでに要する時間が長くなり、高速駆動が不可能となるが、本実施の形態はその点で比較例2よりも優れている。

【0100】なお、図10に示す本発明の実施形態においては、ビット線BLについては選択ゲートを追加することも可能である。このようにして、選択されたセクタ0中の非選択セルについては、ビット線BLを選択ゲートによってフローティング状態としても良い。こうすると、プログラムが選択されたセクタ領域0内の非選択セルのビット線BLは、高電位とならない。よって、非選択セルでのデータのディスタープはさらに低減できる。なお、選択ゲートを介してビット線に高電位を供給する時には、電圧降下が生ずるおそれは残る。

【0101】(1チップメモリの構成)図12は、上述の不揮発性半導体記憶装置を1チップ化したときの概略ブロック図である。図12において、このICチップ500には、左アレイブロック502及び右アレイブロック504が設けられている。この左右のアレイブロック502、504の各々は、図7にて説明したメモリセルアレイ領域を含んでいる。

【0102】この左右のアレイブロック502、504の間には、CGデコーダ506、Xプリデコーダ508、WLドライバ(左)510、WLドライバ(右)512及びYデコーダ514が配置されている。

【0103】左右のメモリブロック502、504には、センスアンプ/BLドライバ516、518がそれぞれ接続されている。このセンスアンプ/BLドライバ516、518のいずれか一方に対して、16ビットの

信号I/O-15が、データイン/アウトバッファ520及び入出力端子522を介して入出力される。

【0104】ICチップ500にはさらに、コマンド端子530を介して入力される各種イネーブル信号に基づいて、制御ロジック信号を生成する制御ロジック回路532が設けられている。この制御ロジック回路532からの出力に基づいて、コントロールゲート線WL及びビット線BLなどに供給される各種電位が電位生成回路534にて生成される。

【0105】一方、アドレス端子640を介して外部から入力されるアドレス信号ADR[0-20]に基づいて、アドレスバッファ542にて内部アドレス信号A0-20が生成される。この内部アドレス信号A0-20の定義を下記の表3に示す。

【0106】

【表3】

アドレス	グループ	ファンクション
A[20:15]	セクタ	Choose 1 of 64
A[14:12]	行	Choose 1 of 8
A[11:0]	列	Choose 1 of 4096

【0107】表3に示すように、内部アドレス信号の上位6ビットA[20:15]は、図7(A)に示すセクタ領域0-63の一つを選択するのに用いられる。内部アドレス信号の中位3ビットA[14:12]は、図9に示す一つのスモールメモリブロック216の中から8ビットのうちのの一つを選択するのに用いられる。内部アドレス信号の下位12ビットA[11:0]は、4096本のワード線WLの一本を選択するために用いられる。

【0108】図13は、図12に示す左メモリブロック502の詳細を示している。このメモリブロック502は、図7(A)と同様に32分割されたセクタ領域0-31を有し、セクタ領域0-31の各々には図7(B)と同様に8つのラージブロック0-7が設けられている。

【0109】図13に示すように、32個のセクタ領域の各一つと対応してCGドライバ300~331が設けられている。セクタ領域0に対応するCGドライバ300は、図8に示したものと同一であり、ラージブロック0-8から成るセクタ領域0内の各メモリセルにコントロールゲート電位を直接供給するものである。他のCGドライバ301~331も同様の機能を有する。

【0110】図13において、32個のセクタ領域0-31の各一つに対応して、消去用ビット線駆動部であるウェルドライバ340-0~340-31が設けられている。ウェルドライバ340-0は、セクタ領域0内の例えばP型ウェルに第2の消去用高電位を供給して、第2の消去用高電位に設定するものである。他のウェルドライバ340-1~340-31も同様の機能を有す

る。

【0111】図13において、32個のセクタ領域0-31の各一つに対応して、セクタデコーダ350-0~350-31が設けられている。セクタデコーダ350-0は、内部アドレス信号の上位6ビットA[20:15]にて生成される信号をデコードする。そして、セクタ0が選択された際には、セクタデコード350-0がCGドライバ300、ウェルドライバ340-0を駆動して、必要な電位がコントロールゲート線CG、ビット線BLに供給されるようにする。

【0112】図13において、32個のセクタ領域0-31の各一つに対応して、Yバス回路360-0~360-31と、セクタ選択回路370-0~370-31が設けられている。Yバス回路360-0~360-31は、図12に示すYデコーダ514からの信号に基づいて、16個の各I/Oに接続されたビット線BL0-3の一本を選択する。セクタ選択回路370-0~370-31は、対応するセクタデコーダ360-0~360-31からの選択信号SEC0~SEC31に基づいて、図12に示すセンスアンプ/BLドライバ516との接続/非接続を行う。

【0113】なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0114】例えば、不揮発性メモリ素子108A、108Bの構造については、MONOS構造に限定されるものではない。1つのワードゲート104と第1、第2のコントロールゲート106A、106Bにより、2箇所にて独立して電荷をトラップできる他の種々のメモリセルを用いた不揮発性半導体記憶装置に、本発明を適用することができる。

【0115】また、上述の実施形態では、セクタ領域の分割数、ラージブロック、スモールブロックの分割数については一例であり、他の種々の変形実施が可能である。すなわち、ラージブロックの分割数を8としたのはメタル配線ピッチの制約から決められた。もしメタル配線ピッチを狭く出来れば、分割数をさらに増やすことができる。例えば16分割にすれば、1本のコントロールゲート線の負荷容量(ゲート容量)はさらに減るので、より高速駆動が可能となる。ただし、16分割とするとメインコントロールゲート線の数が増えるので、ライン&スペースを狭くするか、面積を増大させるしかない。また、コントロールゲートドライバの数も増えるので、その分面積が増大する。

【0116】図14は、図8に示すスモールメモリブロック216に対する配線の変形例を示している。図14では、CGドライバ300-0からのメインコントロールゲート線MCG00~MCG03は、図8のようにラージブロック0内の全てのスモールブロック0-7に接続されるのではなく、ラージブロック0~7の各スモール

ブロック 0 にのみ接続されている。CG ドライバ 300-1 は、ラージブロック 0~7 の各スモールブロック 2 にのみ接続されている。CG ドライバ 300-7 は、ラージブロック 0~7 の各スモールブロック 7 のみに接続されている。

【0117】図 14 に示す接続形態であっても、図 8 に示す接続形態と同様な作用・効果を奏することができる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態に係る不揮発性半導体記憶装置に用いられるメモリセルの断面図である。

【図 2】図 1 に示すメモリセルの等価回路図である。

【図 3】図 1 に示す不揮発性半導体記憶装置でのデータ読み出し動作を説明するための概略説明図である。

【図 4】図 1 に示すメモリセルでのコントロールゲート電圧 VCG とソースドレイン電流 I_{ds} との関係を示す特性図である。

【図 5】図 1 に示す不揮発性半導体記憶装置でのデータ書き込み（プログラム）動作を説明するための概略説明図である。

【図 6】図 1 に示す不揮発性半導体記憶装置でのデータ消去動作を説明するための概略説明図である。

【図 7】図 7 (A) は図 1 に示す不揮発性半導体記憶装置全体の平面レイアウト図、図 7 (B) は図 7 (A) 中の一つのセクタ領域の平面図、図 7 (C) は図 7 (B) 中の一つのメモリブロックの平面図、図 7 (D) は図 7 (C) 中の一つのラージブロックの平面図、図 7 (E) は図 7 (D) 中の一つのスモールブロックの平面図である。

【図 8】図 7 (B) に示す一つのセクタ領域の多数のメモリブロックとその配線とを説明するための概略説明図である。

【図 9】図 8 に示すスモールメモリブロックの詳細を示す回路図である。

【図 10】隣り合うセクタ領域の関係を示す回路図である。

【図 11】図 10 に対する比較例 1 の構成を示す回路図である。

【図 12】1 チップ化された不揮発性半導体記憶装置のブロック図である。

【図 13】図 12 に示す左メモリブロックの詳細を示すブロック図である。

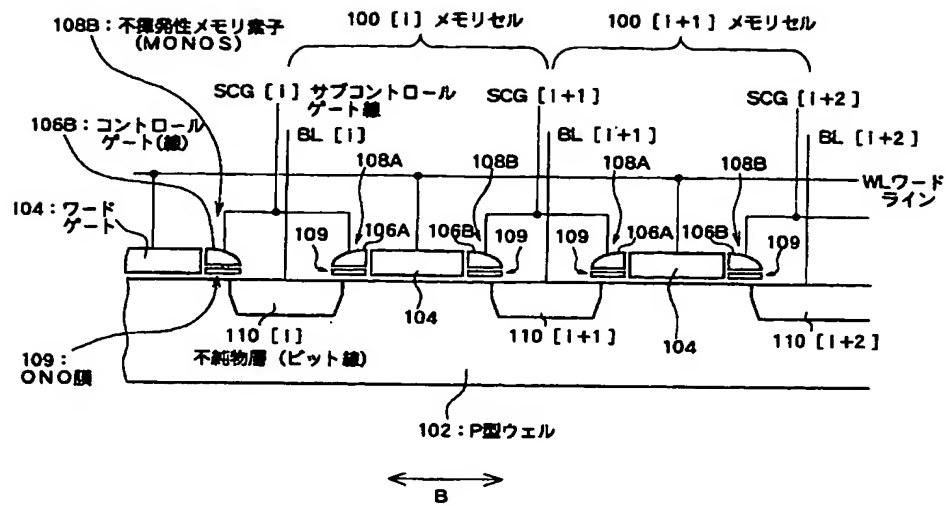
【図 14】一つのセクタ領域内のスモールメモリブロックに対する配線を図 8 とは異ならせた変形例を説明するための概略説明図である。

【図 15】図 8 及び図 14 とはさらに異なる配線とした比較例 2 の構成を説明するための概略説明図である。

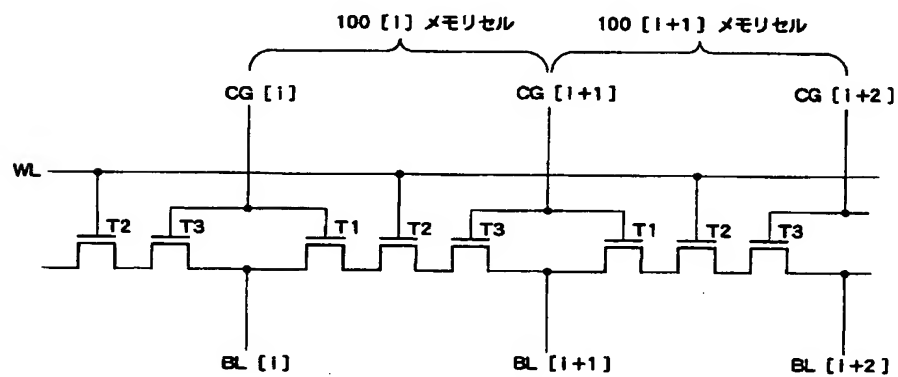
【符号の説明】

100	メモリセル
102	P 型ウェル
104	ワードゲート
106A, 106B	コントロールゲート (線)
108A, 108B	不揮発性メモリ素子 (MONOS メモリセル)
109	ONO 膜
110	不純物層 (ビット線)
200A, 200B	メモリセルアレイ領域
201	ワード線駆動部
210	セクタ領域
212	ラージブロック
214	メモリブロック
215	スモールブロック
216	スモールメモリブロック
300-0~331-7	CG (コントロールゲート) ドライバ
340-0~340-31	ウェルドライバ (消去用ビ ット線駆動部)
350-0~350-31	セクタドライバ
360-0~360-31	Y バス回路
370-0~370-31	セクタ選択回路
400, 401	CG (コントロールゲート) ドライバ
402, 403	選択ゲート領域
500	IC チップ
502, 504	アレイブロック
506	CG デコーダ
508	X プリデコーダ
510, 512	WL (ワード線) ドライバ
514	Y デコーダ
516, 518	センスアンプ/BL ドライバ
520	データイン/アウトバッファ
522	入出力端子
530	コマンド端子
532	制御ロジック回路
534	電位生成回路
540	アドレス端子
542	アドレスバッファ
WL	ワード線
BL	ビット線 (不純物層)
MBL	メインビット線
SCG	サブコントロールゲート線 (第 1 層金属配線)
M0~M3	第 2 層金属配線
MCG	メインコントロールゲート線 (第 3 層金属配 線)

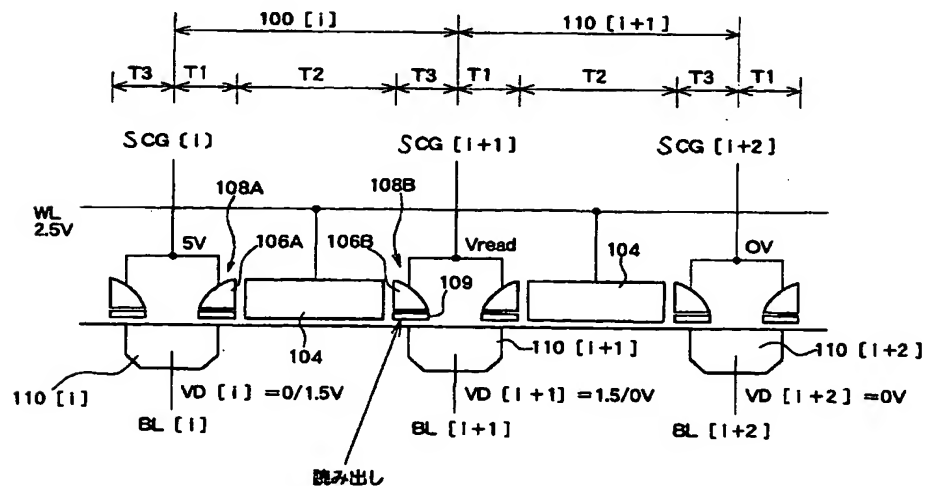
【图 1】



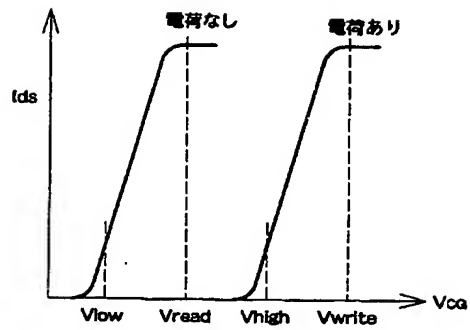
【图 2】



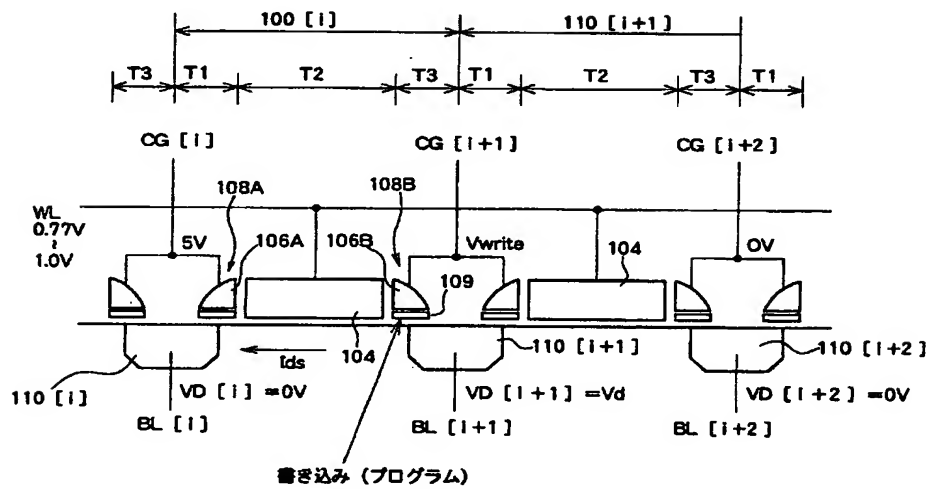
【図 3】



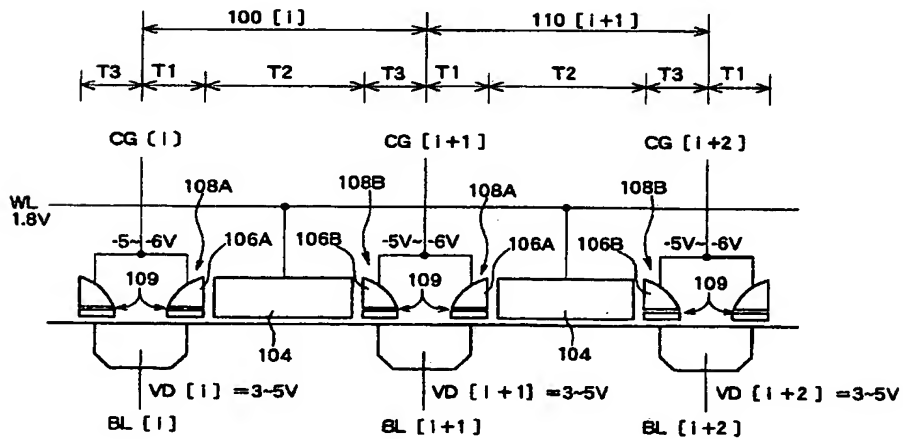
【図 4】



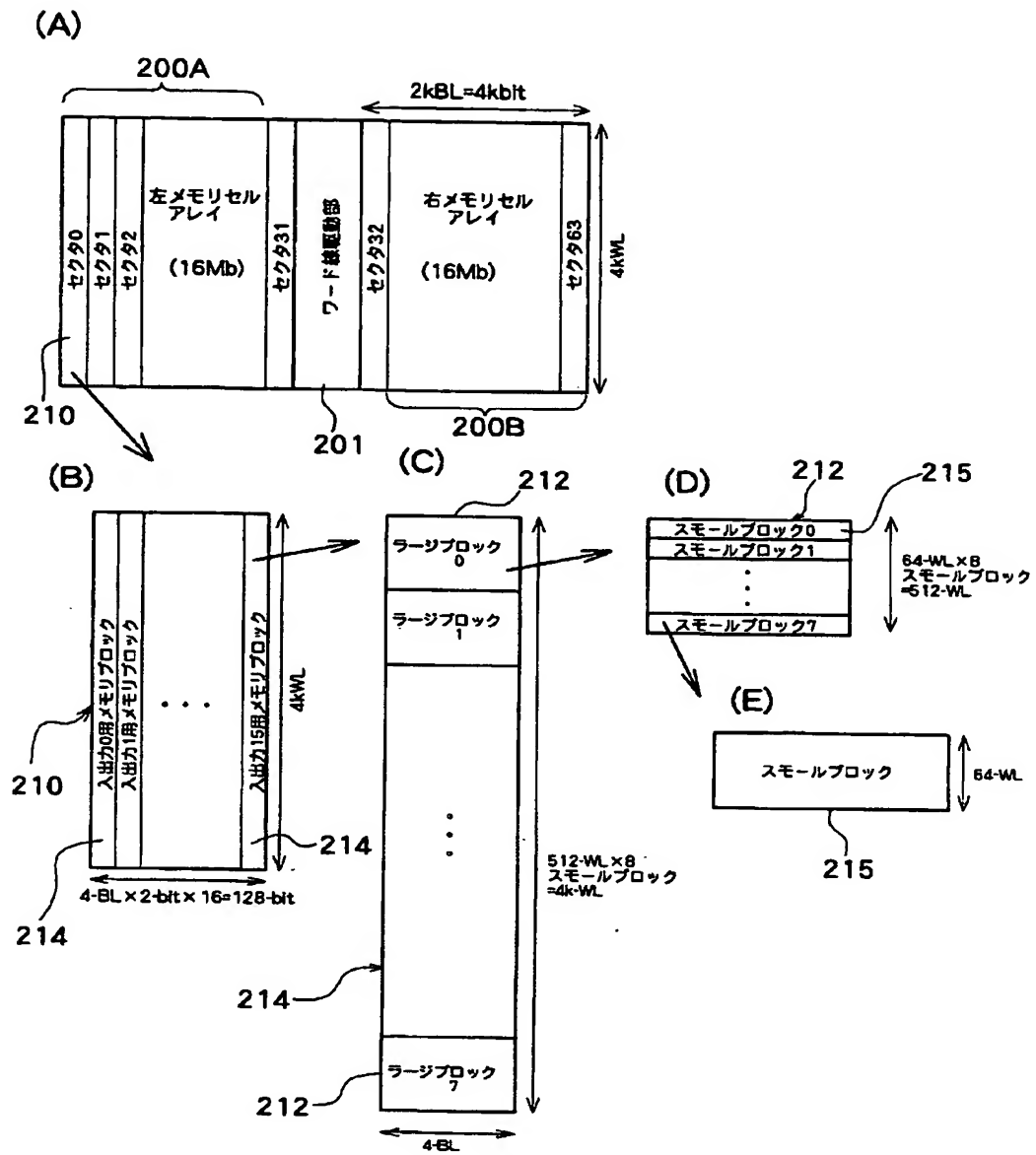
【図 5】



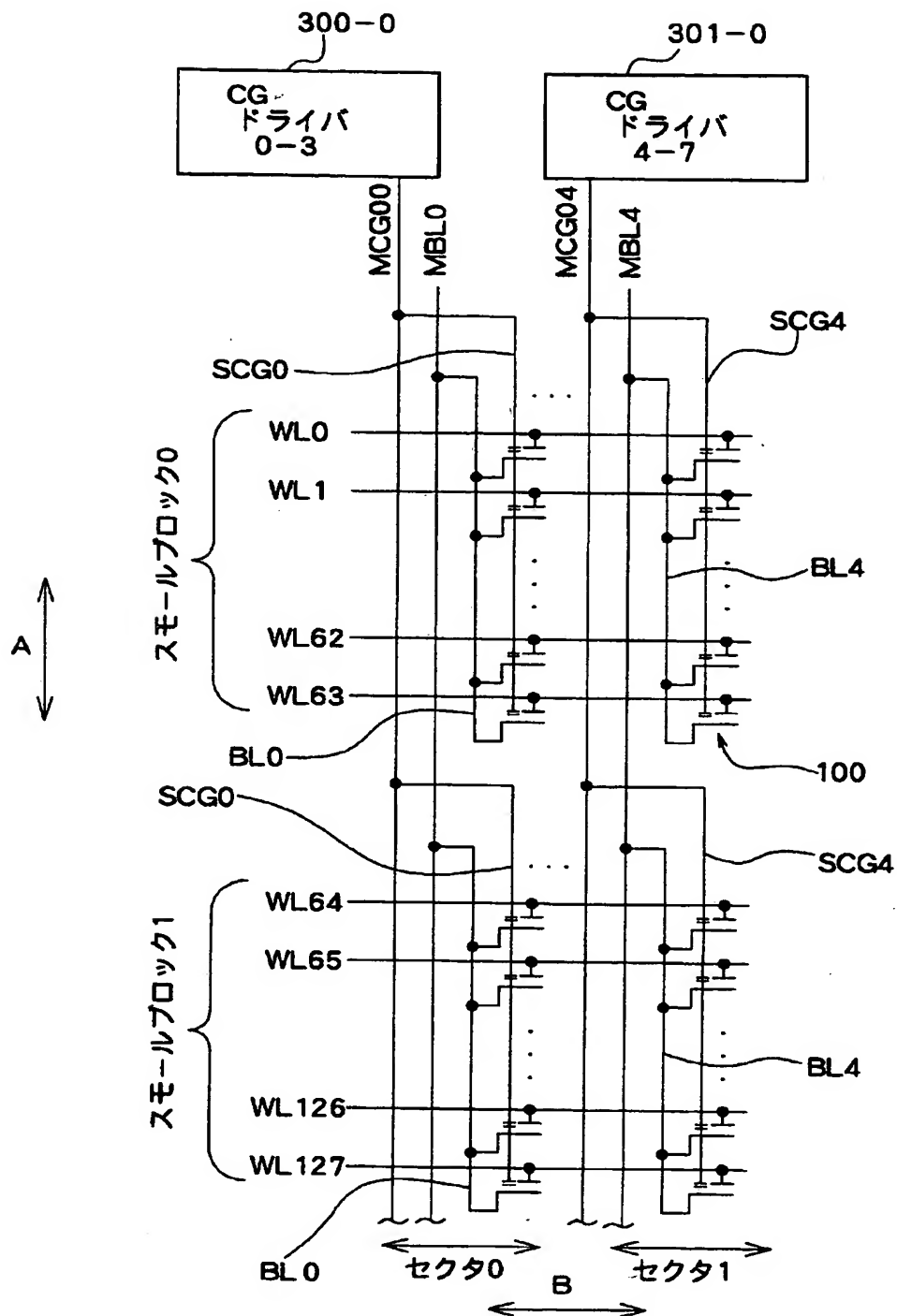
【図 6】



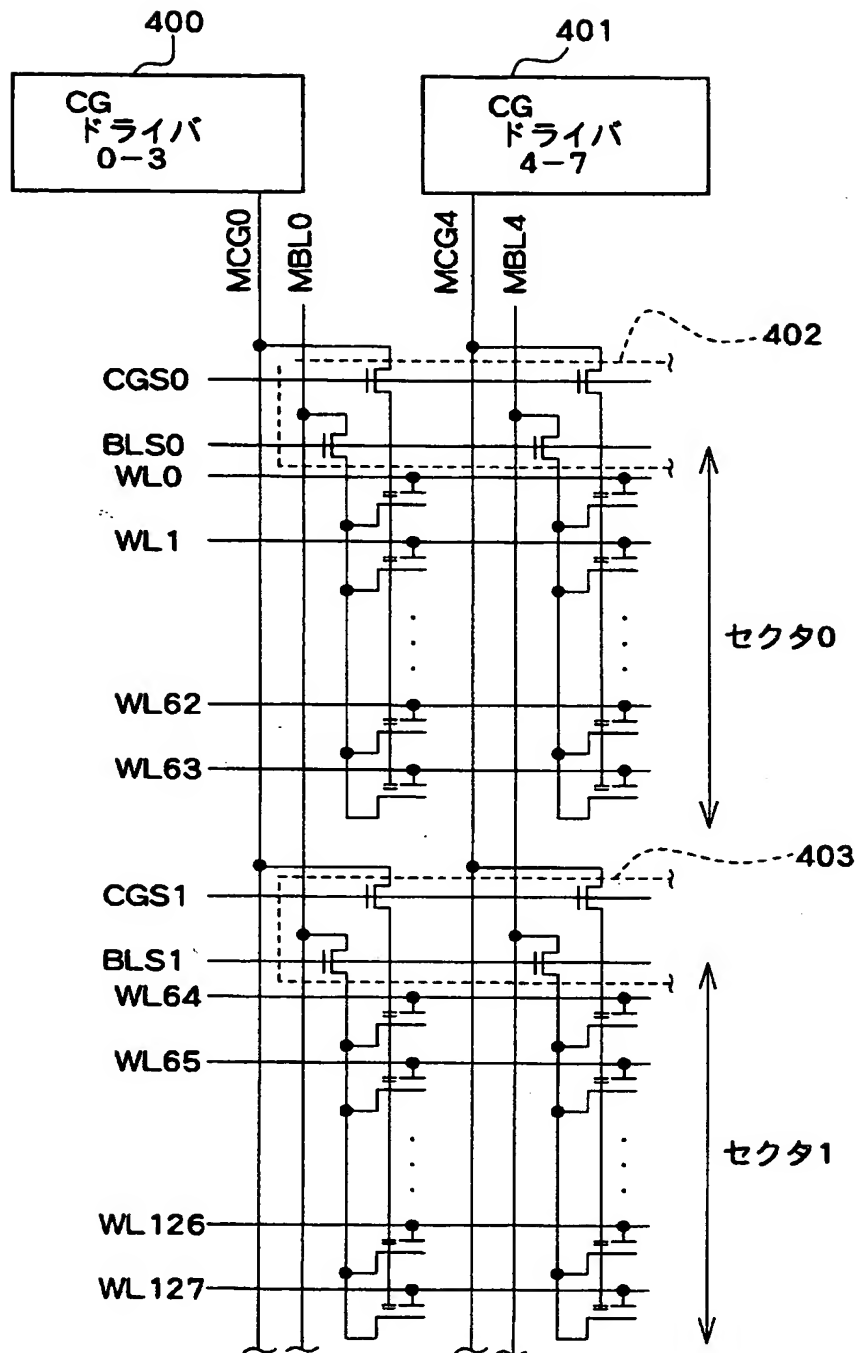
【図7】



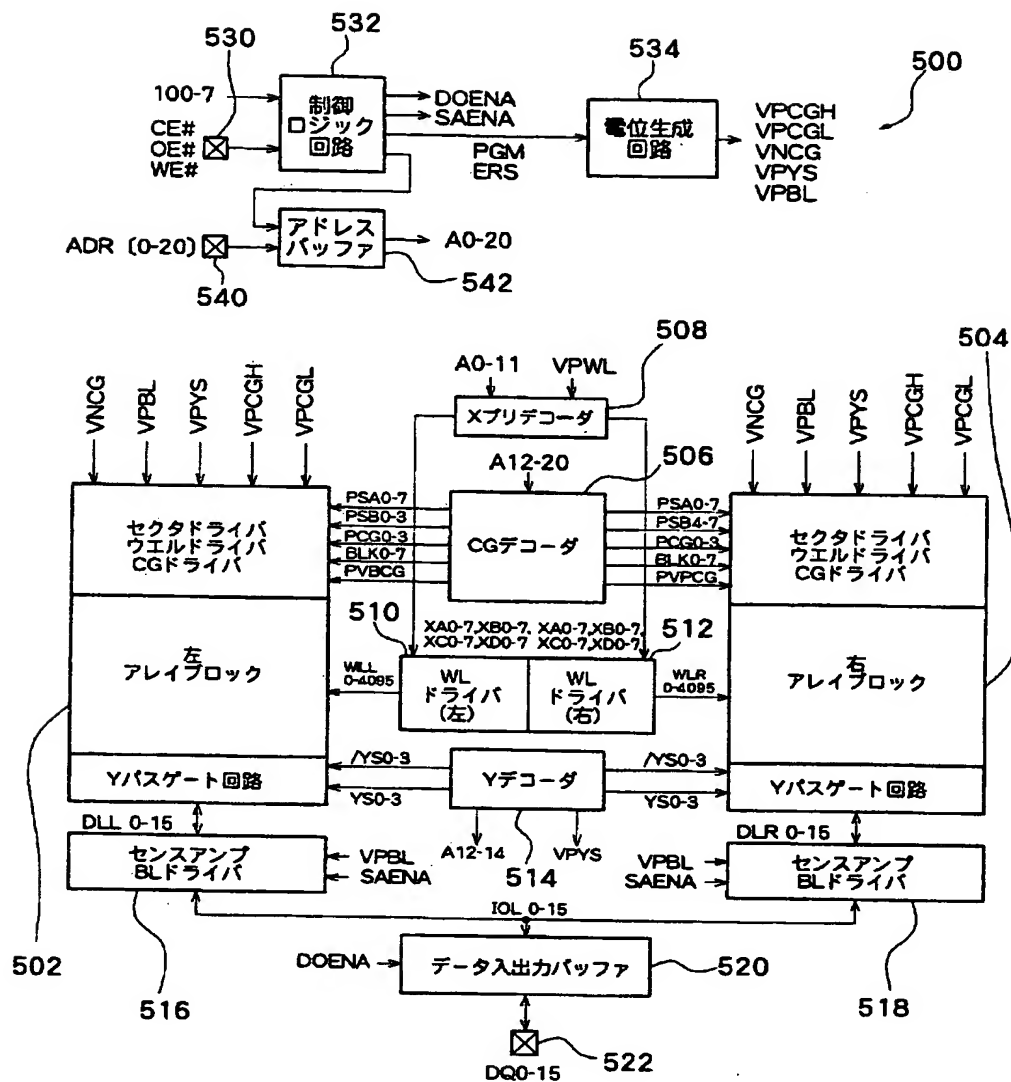
【図10】



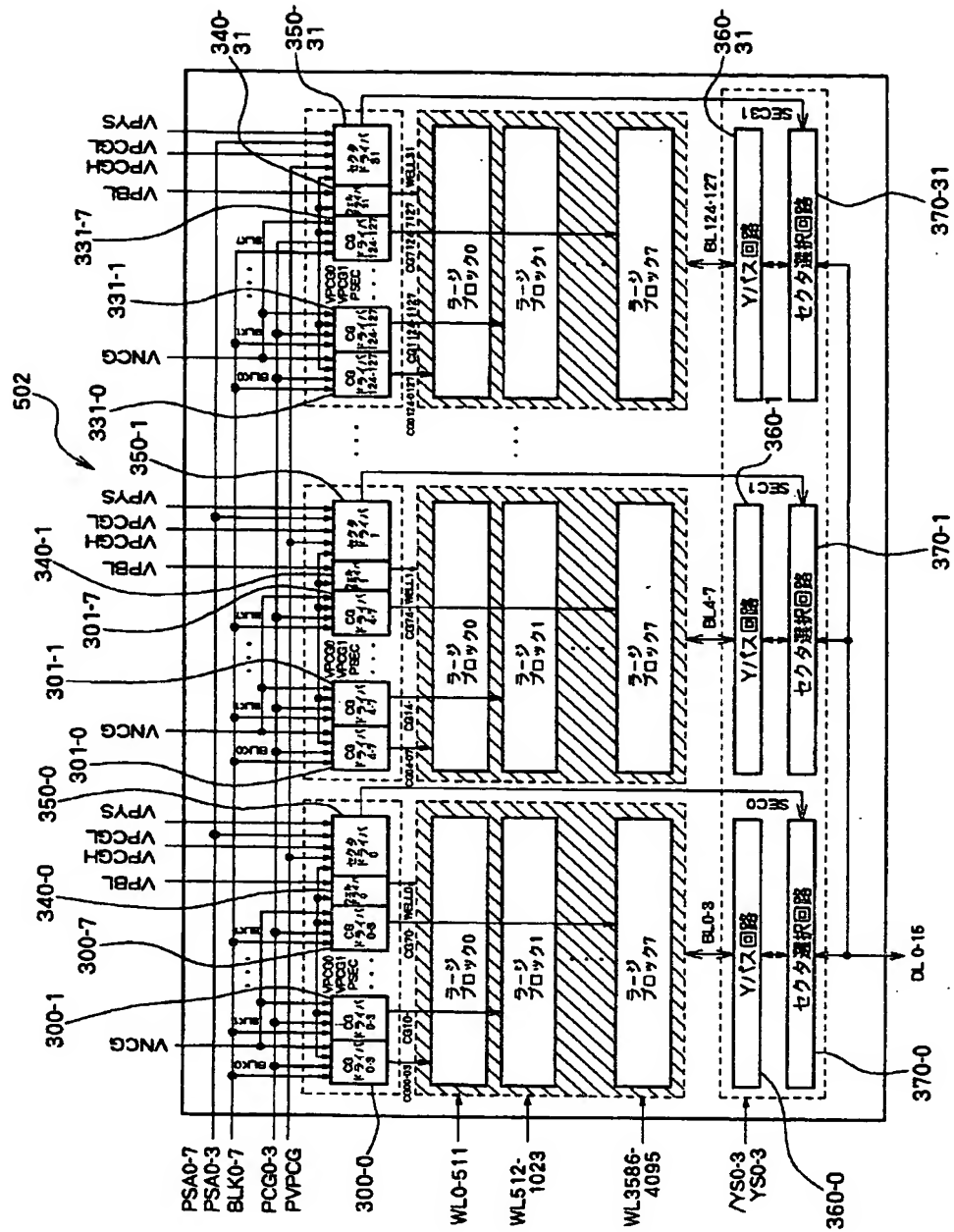
【図11】



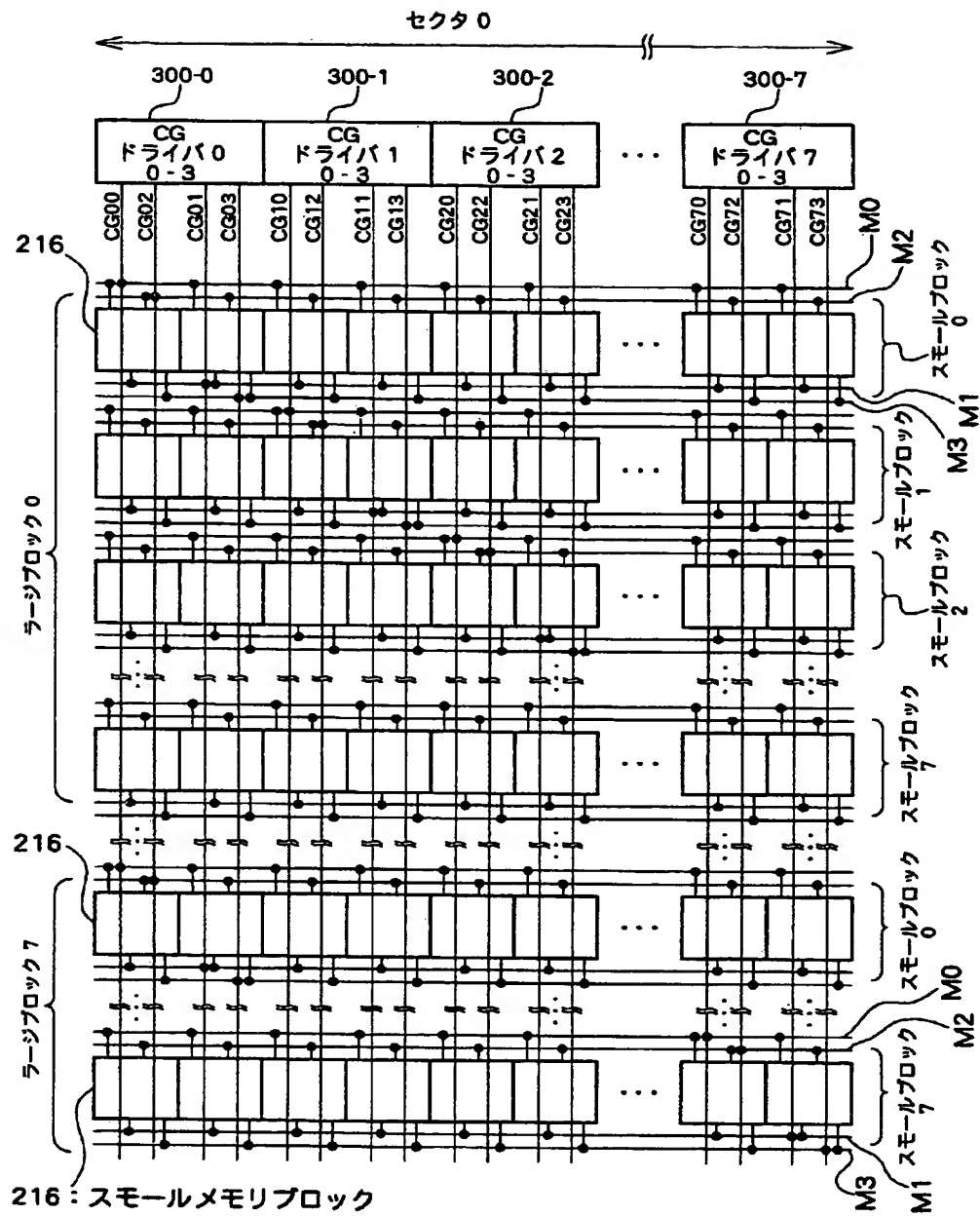
【図12】



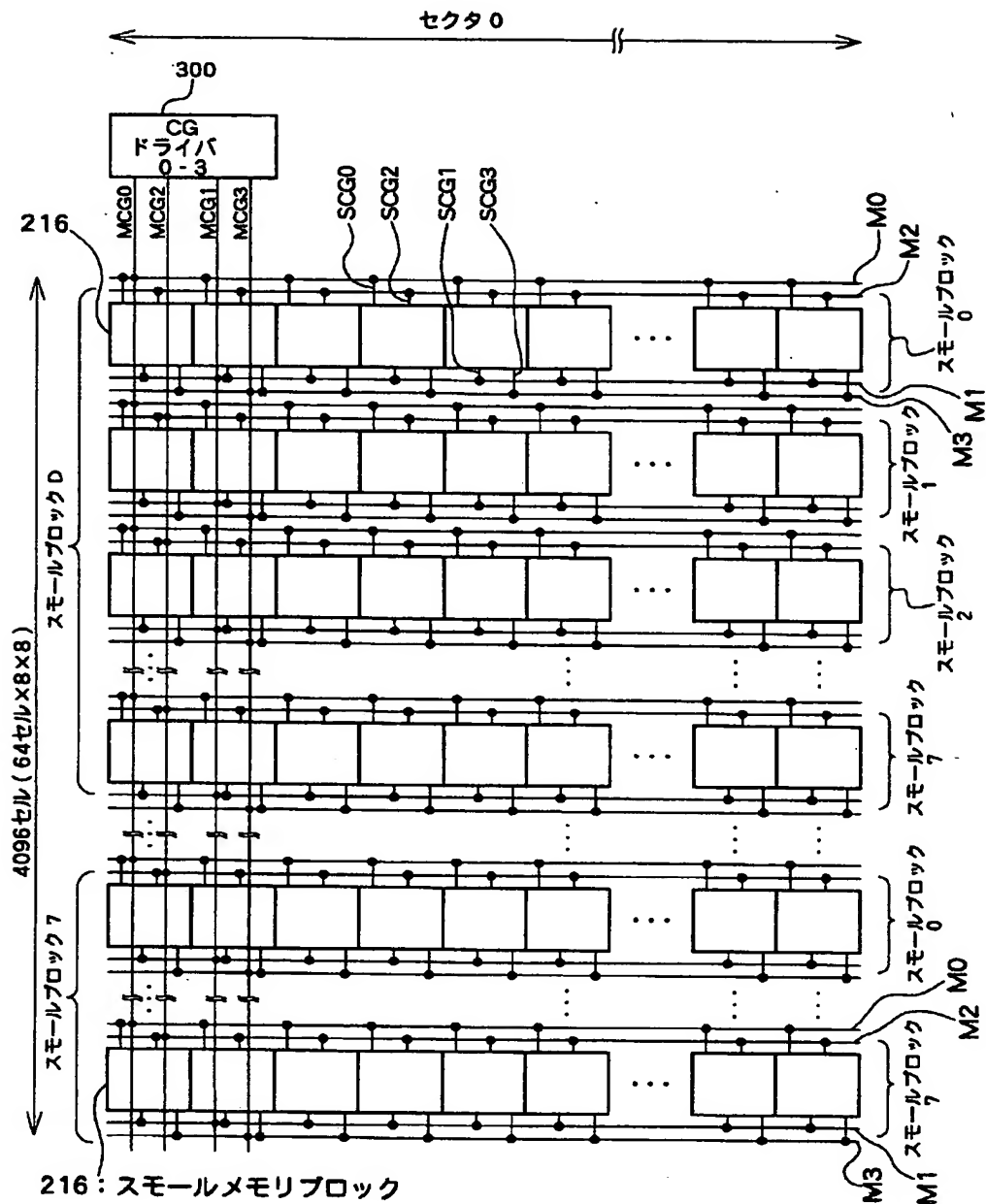
【图 13】



【図14】



【図15】



【手続補正書】

【提出日】平成14年5月21日（2002. 5. 21）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 1つのワードゲートと、第1、第2のコ

ントロールゲートにより制御される第1、第2の不揮発性メモリ素子とを有するメモリセルを、列方向及び行方向にそれぞれ複数配列してなるメモリセルアレイ領域と、

前記メモリセルアレイ領域内の前記複数のメモリセルの各々の前記第1、第2のコントロールゲートを駆動するコントロールゲート駆動部と、

を有し、

前記メモリセルアレイ領域は、前記行方向で分割された

複数のセクタ領域を有し、

前記複数のセクタ領域の各々は、前記列方向で複数の分割された複数のブロックを有し、

前記コントロールゲート駆動部は、前記複数のセクタ領域の各一つについてそれぞれ複数のコントロールゲートドライバを有し、前記複数のコントロールドライバの各々は、前記複数のブロックのうち1以上のブロックに対応して配置され、かつ、対応ブロック内の全メモリセルの前記第1及び第2のコントロールゲートの電位を設定することを特徴とする不揮発性半導体記憶装置。

【請求項2】 請求項1において、

前記複数のブロックは、前記列方向で複数の分割された複数のラージブロックと、前記複数のラージブロックの各々を前記列方向でさらに細分割された複数のスモールブロックを有し、

前記複数のコントロールドライバの各々は、前記複数のラージブロックの各々に対応して配置され、かつ対応するラージブロックに設けられた前記複数のスモールブロック内に配置された全メモリセルの前記第1及び第2のコントロールゲートの電位を設定することを特徴とする不揮発性半導体記憶装置。

【請求項3】 請求項1において、

前記複数のブロックは、前記列方向で複数の分割された複数のラージブロックと、前記複数のラージブロックの各々を前記列方向でさらに細分割された複数のスモールブロックを有し、

前記複数のコントロールドライバの各々は、前記複数のラージブロックの各々に設けられた前記複数のスモールブロックの各々に対応して設けられ、かつ、対応するスモールブロックに配置された全メモリセルの前記第1及び第2のコントロールゲートの電位を設定することを特徴とする不揮発性半導体記憶装置。

【請求項4】 請求項1乃至3のいずれかにおいて、

前記複数のコントロールゲートドライバは、一つのセクタ領域内のデータ消去時に、該一つのセクタ領域内の全ての前記第1、第2のコントロールゲートに第1の消去用高電位を供給して、前記複数のセクタ領域の各々にて一括してデータを消去することを特徴とする不揮発性半導体記憶装置。

【請求項5】 請求項4において、

前記複数のセクタ領域の各々には、前記列方向に沿って形成された複数のコントロールゲート線が設けられ、前記コントロールゲート駆動部は、前記複数のセクタ領域の各々に配置された前記複数のコントロールゲート線の各々に、ゲート回路を経由せずに直接接続されていることを特徴とする不揮発性半導体記憶装置。

【請求項6】 請求項5において、

前記複数のコントロールゲート線は、前記コントロールゲート駆動部に直接接続された複数のメインコントロールゲート線と、

前記複数のメインコントロールゲート線と前記複数のメモリセルの前記第1、第2のコントロールゲートとを接続する複数のサブコントロールゲート線と、を含むことを特徴とする不揮発性半導体記憶装置。

【請求項7】 請求項6において、

前記複数のセクタ領域の各々に設けられた偶数のメインコントロールゲート線には、偶数列の前記複数メモリセルの各々の前記第2のコントロールゲートと奇数列の前記複数メモリセルの各々の前記第1のコントロールゲートとが共通接続された複数のサブコントロールゲートが接続され、前記複数のセクタ領域の各々に設けられた奇数のメインコントロールゲート線には、奇数列の前記複数メモリセルの各々の前記第2のコントロールゲートと偶数列の前記複数メモリセルの各々の前記第1のコントロールゲートとが共通接続された複数のサブコントロールゲート線が接続されていることを特徴とする不揮発性半導体記憶装置。

【請求項8】 請求項7において、

前記複数のセクタ領域の各々に対応して設けられた前記複数のコントロールゲートドライバの各々には、k本のメインコントロールゲート線が接続され、前記複数のセクタ領域の各々には、k本のサブコントロールゲート線が接続されるメモリセル群からなる各入出力ビットに対応したメモリブロックが、前記行方向に複数配置され、

前記行方向に沿って延びる複数の配線が設けられ、前記k本のメインコントロールゲート線の各々と、それと対応する前記k本のサブコントロールゲート線の各々とが、前記複数の配線の各々を介してそれぞれ接続されていることを特徴とする不揮発性半導体記憶装置。

【請求項9】 請求項8において、

前記メモリブロックの前記行方向に沿ったメモリセル数を4とし、 $k=4$ に設定したことを特徴とする不揮発性半導体記憶装置。

【請求項10】 請求項1乃至9のいずれかにおいて、

前記複数のセクタ領域の各々には、前記列方向に沿って形成された複数のビット線と、少なくともデータのプログラム時及び読み出し時に、前記複数のビット線を駆動するビット線駆動部と、がさらに設けられていることを特徴とする不揮発性半導体記憶装置。

【請求項11】 請求項10において、

一つのセクタ領域毎のデータ消去時に、該一つのセクタ領域に形成された前記複数のビット線に第2の消去用高電位を供給する消去用ビット線駆動部がさらに設けられていることを特徴とする不揮発性半導体記憶装置。

【請求項12】 請求項10または11において、

前記複数のビット線は、不純物層にて形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項13】 請求項12において、

前記複数のセクタ領域の各々は、他のセクタと分離された一つのウェル領域に形成され、前記ウェル領域に第2の消去用高電位を供給する消去用ウェル駆動部が設けられていることを特徴とする不揮発性半導体記憶装置。

【請求項14】 請求項12または13において、前記不純物層にて形成された前記複数のビット線の各々にそれぞれ接続される複数のメインビット線が設けられ、前記複数のメインビット線から前記複数のビット線にそれぞれ至る各経路途中に、ゲート回路が設けられていないことを特徴とする不揮発性半導体記憶装置。

【請求項15】 請求項1乃至14のいずれかにおいて、

前記メモリセルアレイ領域には、前記行方向に沿って配列された前記複数のメモリセルの各々の前記ワードゲートにそれぞれ共通接続された複数のワード線が、前記行方向に沿って設けられ、

前記メモリセルアレイ領域の前記行方向の一端には、前記複数のワード線を駆動するワード線駆動部が設けられていることを特徴とする不揮発性半導体記憶装置。

【請求項16】 請求項1乃至15のいずれかにおいて、

前記第1、第2の不揮発性メモリ素子の各々は、酸化膜(O)、窒化膜(N)及び酸化膜(O)からなるONO膜を電荷のトラップサイトとして有することを特徴とする不揮発性半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【課題を解決するための手段】本発明の一態様に係る不揮発性半導体記憶装置は、1つのワードゲートと、2つのコントロールゲートにより制御される2つの不揮発性メモリ素子を有するメモリセルを、列方向及び行方向にそれぞれ複数配列してなるメモリセルアレイ領域を有する。不揮発性半導体記憶装置はさらに、メモリセルアレイ領域内の複数のメモリセルの各々の第1、第2のコントロールゲートを駆動するコントロールゲート駆動部を有する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】メモリセルアレイ領域は、行方向で分割された複数のセクタ領域を有する。この複数のセクタ領域の各々は、列方向に沿った複数の各列にそれぞれ配列された複数のメモリセルを有する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】複数のセクタ領域の各々は、列方向で複数の分割された複数のブロックを有する。コントロールゲート駆動部は、複数のセクタ領域の各一つについてそれぞれ複数のコントロールゲートドライバを有する。この複数のコントロールドライバの各々は、複数のブロックのうちの互いに異なる1以上のブロックに配置された全メモリセルの前記第1及び第2のコントロールゲートの電位を設定する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】複数のブロックとして、列方向で複数の分割された複数のラージブロックと、その複数のラージブロックの各々を列方向でさらに細分割された複数のスモールブロックを有することができる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】本発明の一態様においてはさらに、複数のセクタ領域の各々には、列方向に沿って形成された複数のコントロールゲート線が設けられ、コントロールゲート駆動部は、複数のセクタ領域の各々に配置された複数のコントロールゲート線の各々に、ゲート回路を経由せずに直接接続されていることが好ましい。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】また、複数のセクタ領域の各々に対応して設けられた複数のコントロールゲートドライバの各々には、k本のメインコントロールゲート線が接続される場合には、複数のセクタ領域の各々には、k本のサブコントロールゲート線が接続されるメモリセル群からなる各入出力ビットに対応したメモリブロックが、行方向に複数配置される。このとき、行方向に沿って延びる複数の配線を設けることが好ましい。こうすると、k本のメインコントロールゲート線の各々と、それと対応するk本のサブコントロールゲート線の各々とを、複数の配線の一つを介して接続することができる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】特に好ましい形態として、メモリブロックの行方向に沿ったメモリセル数を4とすることができる。この場合には $k=4$ に設定され、コントロールゲートドライバには4本のメインコントロールゲート線が接続される。メモリブロックは、行方向に4セル有するため計8ビットとなり、1本のサブコントロールゲート線を2ビットに共用することで、4本のサブコントロールゲート線が配置される。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】本発明の一態様では、複数のセクタ領域の各々に、列方向に沿って形成された複数のビット線と、少なくともデータのプログラム時及び読み出し時に複数のビット線を駆動するビット線駆動部とをさらに有することができる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】また、複数のビット線を不純物層にて形成することができ、この複数のビット線の各々に、複数のメインビット線の各々を接続しても良い。メインビット

線を金属配線とすれば、ビット線の低抵抗化が可能であり、また不純物層を列方向で連続させずに不連続としても、その不連続な各ビット線にメインビット線を介して給電できる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】メモリセルアレイ領域には、行方向に沿って配列された前記複数のメモリセルの各々のワードゲートにそれぞれ共通接続された複数のワードを、行方向に沿って設けることができる。こうして、複数のセクタ領域にて複数のワード線は共用される。なお、メモリセルアレイ領域の行方向の一端に、複数のワード線を駆動するワード線駆動部を設けることができる。不揮発性半導体記憶装置の記憶容量をさらに大容量化するには、行方向にてワード線ドライバを挟んだ両側に、複数のメモリセルアレイ領域をそれぞれ配置しても良い。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】第1、第2の不揮発性メモリ素子の各々は、酸化膜(O)、窒化膜(N)及び酸化膜(O) からなるONO膜を電荷のトラップサイトとして有することができるが、これに限らず他の構造を採用することができる。

フロントページの続き

(51)Int. Cl.⁷

識別記号

F I

テマコート* (参考)

H 0 1 L 29/788

H 0 1 L 27/10

4 3 4

29/792

Fターム(参考) 5B025 AA01 AA07 AB01 AB03 AC03

AD03 AD08 AD10 AD12 AE05

AE06 AE08

5F083 EP18 EP22 EP24 EP28 EP36

ER02 ER11 ER15 ER16 ER22

GA01 GA05 GA09 GA15 GA16

JA35 KA01

5F101 BA45 BB02 BB03 BB04 BC01

BC11 BD02 BD10 BD22 BE02

BE05 BE07